

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-175699

(P2002-175699A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl.⁷
G 11 C 29/00
G 01 R 31/28
31/3185

識別記号
6 7 1

F I
C 11 C 29/00
C 01 R 31/28
W

テ-マコト⁸ (参考)

6 7 1 T 2 G 1 3 2

B 5 L 1 0 6

(21) 出願番号 特願2001-262020 (P2001-262020)
(22) 出願日 平成13年8月30日 (2001.8.30)
(31) 優先権主張番号 特願2000-293626 (P2000-293626)
(32) 優先日 平成12年9月27日 (2000.9.27)
(33) 優先権主張国 日本 (JP)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 宮川 正
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(72) 発明者 高島 大三郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

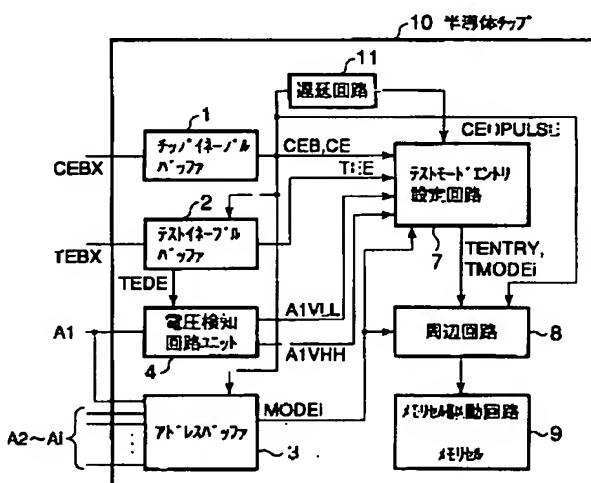
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置のモード設定方法

(57) 【要約】

【課題】 テストモード等のモード設定動作の際に、誤った設定動作を防止するモード設定回路を有する半導体装置及び半導体装置のモード設定方法を提供することを目的としている。

【解決手段】 特定入力信号に第1と第2の検知レベルを設けて、第1の検知レベル以下、又は第2の検知レベル以上であることをクロック信号に同期して検知する電圧検知回路ユニット4と、この電圧検知回路ユニットの出力が複数回入力されて、特定モードが指示された場合に特定モード設定を行うテストモードエントリ設定回路7とを備え、第1と第2の検知レベルに大きな差を持たせ、かつ、複数回のレベル検知を行うことにより、電源の揺れ、入力信号の揺れ等のノイズによる誤動作を防止し、安定した信頼性の高い半導体装置及び半導体装置のモード設定方法を提供する。



【特許請求の範囲】

【請求項1】 入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、

前記第1の電圧検知回路及び第2の電圧検知回路からの出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号のタイミングに同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に動作モードをエントリする動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項2】 第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、

前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、

前記第1の電圧検知回路乃至第4の電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエントリする動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項3】 第1入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記第1入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、

前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、

第2入力信号が入力され、この第2入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力するフィルタ回路と、

前記フィルタ回路から出力された前記第1の電圧検知回路及び第2の電圧検知回路からの出力信号に対し、所

定レベルと一致しているか否か、入力されるクロック信号のタイミングに同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に動作モードをエントリする動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項4】 第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、

前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、

前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第3の入力信号が入力され、この第3の入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力する第1のフィルタ回路と、

前記第3の電圧検知回路及び前記第4の電圧検知回路に接続されていて前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号が入力され、かつ、前記第3の入力信号が入力され、この第3の入力信号に基づいて、前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号を出力する第2のフィルタ回路と、

前記第1のフィルタ回路及び第2の前記フィルタ回路から出力された前記第1の電圧検知回路乃至第4の電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエントリする動作モードエントリ設定回路と前記第1のフィルタ回路及び第2のフィルタ回路の出力信号に基づいて、特定動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項5】 第1入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記第1入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に

第2レベルの信号を出力する第2の電圧検知回路と、前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第2入力信号が入力され、この第2入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力するフィルターレベルと、前記フィルターレベルの出力信号に基いて動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項6】 第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、

前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、

前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、

前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第3の入力信号が入力され、この第3の入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力する第1のフィルターレベルと、

前記第3の電圧検知回路及び前記第4の電圧検知回路に接続されていて前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号が入力され、かつ、前記第3の入力信号が入力され、この第3の入力信号に基づいて、前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号を出力する第2のフィルターレベルと、

前記第1のフィルターレベルと第2のフィルターレベルの出力信号に基づいて、特定動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項7】 前記第2基準電位は接地電位よりも高電位であることを特徴とする請求項1乃至6いずれか1項記載の半導体装置。

【請求項8】 テストイネーブルバッファをさらに具備し、このテストイネーブルバッファは、外部制御信号を受けてアクティブ時に前記第1および第2の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とす

る請求項1、3乃至5いずれか1項記載の半導体装置。

【請求項9】 テストイネーブルバッファをさらに具備し、このテストイネーブルバッファは、外部制御信号を受けてアクティブ時に前記第1ないし第4の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とする請求項2、4乃至6いずれか1項記載の半導体装置。

【請求項10】 前記テストイネーブルバッファはテスト専用のバッファであることを特徴とする請求項8または9記載の半導体装置。

【請求項11】 出力イネーブルバッファおよび高電圧検知回路をさらに具備し、高電圧検知回路は第2の入力信号が入力され、この第2の入力信号が所定電圧以上の時制御信号を出力し、出力イネーブルバッファは、外部イネーブル信号および高電圧検知回路からの制御信号を受けて、アクティブ時に、前記第1および第2の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とする請求項1記載の半導体装置。

【請求項12】 出力イネーブルバッファおよび高電圧検知回路をさらに具備し、高電圧検知回路は第3の入力信号が入力され、この第3の入力信号が所定電圧以上の時制御信号を出力し、出力イネーブルバッファは、外部イネーブル信号および高電圧検知回路からの制御信号を受けて、アクティブ時に、前記第1および第2の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とする請求項2記載の半導体装置。

【請求項13】 出力イネーブルバッファおよび高電圧検知回路をさらに具備し、高電圧検知回路は第3の入力信号が入力され、この第3の入力信号が所定電圧以上の時制御信号を出力し、出力イネーブルバッファは、外部イネーブル信号および高電圧検知回路からの制御信号を受けて、アクティブ時に、前記第1および第2の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とする請求項3または5記載の半導体装置。

【請求項14】 出力イネーブルバッファおよび高電圧検知回路をさらに具備し、高電圧検知回路は第4の入力信号が入力され、この第4の入力信号が所定電圧以上の時制御信号を出力し、出力イネーブルバッファは、外部イネーブル信号および高電圧検知回路からの制御信号を受けて、アクティブ時に、前記第1ないし第4の電圧検知回路に電圧検知イネーブル信号を出力することを特徴とする請求項4または6記載の半導体装置。

【請求項15】 前記動作モードエントリ設定回路は、前記出力信号を判定する回数に応じた段数の直列接続された、動作モードエントリを判断するための、ラッチ回路を有することを特徴とする請求項1乃至14いずれか1項記載の半導体装置。

【請求項16】 前記動作モードがエントリ設定された場合にアドレス信号に基づいて、前記動作モードの種類が設定されることを特徴とする請求項1乃至15いずれか1項記載の半導体装置。

【請求項17】 読み出し、書き込み動作を行うメモリセルをさらに備え、前記動作モードがエントリ設定されている場合には、メモリセルはテストモードに設定されることを特徴とする請求項1乃至16いずれか1項記載の半導体装置。

【請求項18】 前記入力信号はアドレス信号の一部であることを特徴とする請求項1記載の半導体装置。

【請求項19】 前記第1の入力信号および第2の入力信号はアドレス信号の一部であることを特徴とする請求項2、4乃至6いずれか1項記載の半導体装置。

【請求項20】 前記第1の入力信号はアドレス信号の一部であることを特徴とする請求項3または5記載の半導体装置。

【請求項21】 前記アドレス信号の一部は通常動作の読み出し／書き込み動作時は、メモリセル選択のためのアドレスとして用いられる特徴とする請求項18乃至20いずれか1項記載の半導体装置。

【請求項22】 前記電圧検知回路はいずれも、信号入力部、信号出力部共に外部電源電位で駆動されることを特徴とする請求項1乃至21いずれか1項記載の半導体装置。

【請求項23】 前記電圧検知回路はいずれも、信号入力部は外部電源電位で駆動され、信号出力部は前記外部電源電位を降圧した内部電源電位で駆動されることを特徴とする請求項1乃至21いずれか1項記載の半導体装置。

【請求項24】 入力信号が入力され、所定基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力し、低い場合に第2レベルの信号を出力する電圧検知回路と、

前記電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定して、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエントリする動作モードエントリ設定回路とを有することを特徴とする半導体装置。

【請求項25】 第1の基準電位及び第2基準電位と入力信号電位との高低が所定条件と一致しているか否かを、クロック信号に同期して複数回判定し、全ての判定結果が所定条件と一致した場合にモードエントリ動作を行うステップと、モードエントリ動作後、モード選択信号に基づいて動作モードを選択するステップとを有することを特徴とする半導体装置のモード設定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、モード設定動作が必要な半導体装置に係り、特に入力信号に基づいて、動作モードが設定される半導体装置及び半導体装置のモード設定方法に関する。

【0002】

【従来の技術】半導体装置では、装置内部の電圧を変更するなどして行う性能試験及びストレスを加えるなどして行う信頼性試験のために複数種類のテストモードを内蔵している。これらのテストモードには、チップ内の素子に過剰な電圧を印加するテストや、外部アドレスに依存せず複数のセルを同時に選択するテストなども含まれている。

【0003】図30に示されるテストモードを有する従来の半導体装置では、高電圧検知回路及び低電圧検知回路を用いて、ノイズによるテストモード信号の誤発生及び誤停止を防止している。

【0004】なお、特開平9-166648号公報には、上述の半導体装置がその公報中の図1などに記載されている。

【0005】通常動作及びテスト動作兼用端子である2つの外部端子101、102はそれぞれインバータ103またはインバータ106を介して内部バス117に接続されると共に、テスト動作用に低電圧検出回路104及び高電圧検出回路105の回路群または低電圧検出回路107及び高電圧検出回路108の回路群に接続されている。

【0006】ここで、高電圧検出回路105、108は外部端子101、102から入力される電圧V₁、V₂がそれぞれ、電源電圧V_cよりも高くなると、その出力電圧S₁、S₄はハイレベルとなる。低電圧検出回路104、107は外部端子101、102から入力される電圧V₁、V₂がそれ、接地電圧GNDよりも低くなると、その出力電圧S₂、S₃はハイレベルとなる。

【0007】アンド回路109には高電圧検出回路105の出力S₂及び低電圧検出回路107の出力S₃が入力され、またアンド回路110には低電圧検出回路104の出力S₁及び高電圧検出回路108の出力S₄が入力されている。アンド回路109の出力S₅はフリップフロップ111のセット入力端に入力され、アンド回路110の出力S₆はフリップフロップ111のリセット入力端に入力されている。

【0008】外部端子112はフリップフロップ111のリセット入力端に入力されている。フリップフロップ111の出力がテストモード信号Tとなり、内部バス117によって相互に接続されているCPU113、プログラムカウンタ114、ROM115、RAM116に供給されている。

【0009】電源投入後に、外部端子112の電圧がハイレベルにされて、フリップフロップ111がリセットされ、初期化されてユーザモードに設定される。

【0010】ついで、ユーザモードからテストモードに移行するために、外部端子101の電圧V₁を異常な高電圧とし、かつ外部端子102の電圧V₂を異常な低電

圧とすると、高電圧検出回路105の出力S₂及び低電圧検出回路107の出力S₃は共にハイレベルとなって、アンド回路109の出力S₅はハイレベルとなる。ここで、フリップフロップ111はセットされて、テストモード信号Tはハイレベルとなり、テストモードに移行される。

【0011】テストモードからユーザモードに移行する場合は、外部端子101の電圧V₁を異常な低電圧とし、かつ外部端子102の電圧V₂を異常な高電圧とすると、低電圧検出回路104の出力S₁及び高電圧検出回路108の出力S₄は共にハイレベルとなって、アンド回路110の出力S₆はハイレベルとなる。ここで、フリップフロップ111はリセットされて、テストモード信号Tはロウレベルとなり、ユーザモードに移行される。

【0012】ユーザモード及びテストモードの両状態において、外部端子101, 102に外部から同時にノイズが印加されても設定された状態は変更されない。

【0013】

【発明が解決しようとする課題】以上のような従来の半導体装置では、以下の課題が生じる。

【0014】従来のテストモード設定方法では、必要なテストモードごとにテスト状態を設定する外部端子が必要となり、半導体装置の大規模化、高速化などに伴い、必要とされるテストの種類が多様化した場合は対応しきれない場合があった。

【0015】さらに使用者が意図せず、無意識にテストモードが設定されてしまう可能性があった。特に、ある一定の基準値を設けて、その基準値よりも入力信号が高いか低いかを1回判定させる回路においては、基準値付近の電圧が印加された場合に電源の揺れ、信号線の揺れ等、多少のノイズに対して誤動作を起こす危険性が高かった。

【0016】半導体記憶装置では、信頼性試験や製品出荷前のスクリーニングテスト等で回路素子やメモリセルへのストレス試験等が準備されており、テストの種類によってはテストモード状態でメモリセルデータが破壊されるまでのデータを得る場合もある。半導体記憶装置の通常使用状態でこのようなテスト条件が誤って設定されてしまうと、メモリセルデータの破壊が発生する可能性があった。

【0017】また、図30に示される従来の技術では低電圧レベルとして負電圧を利用しておらず、テストモード設定のために負電圧を用意しなければならない。負電圧の基準電位設定は、(V_{cc}-V_{th})とトランジスタの閾値で設定した場合、閾値電圧を高く設定すると負基準電圧がマイナス側に大きくなる。この負の基準電圧の絶対値がトランジスタのドレイン、ソースのp-n接合部のフォワード電圧以上になると、それ以上の負電圧が印加できずテストエントリが正常になされないことにな

る。

【0018】本発明の目的は以上のような従来技術の課題を解決することにある。特に本発明では、通常動作モードとテストなどの特定なモードとを有する半導体装置において、通常動作時に誤って特定なモードに入ることが無く、通常動作時には安定した動作を保証し、特定モード設定時には確実に特定モードに設定される半導体装置及び半導体装置のモード設定方法を提供すること目的とする。

【0019】

【課題を解決するための手段】本発明の第1の視点の半導体装置は、入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、前記入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、前記第1の電圧検知回路及び第2の電圧検知回路からの出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号のタイミングに同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に動作モードをエントリする動作モードエントリ設定回路とを有することを特徴としている。

【0020】本発明の第2の視点の半導体装置は、第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、前記第1の電圧検知回路乃至第4の電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエントリする動作モードエントリ設定回路とを有することを特徴としている。

【0021】この発明の第3の視点の半導体装置は、第1入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、前記第1入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されて

いて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第2入力信号が入力され、この第2入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力するフィルター回路と、前記フィルタ一回路から出力された前記第1の電圧検知回路及び第2の電圧検知回路からの出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号のタイミングに同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に動作モードをエントリする動作モードエントリ設定回路とを有することを特徴としている。

【0022】この発明の第4の視点の半導体装置は、第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第3の入力信号が入力され、この第3の入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力する第1のフィルター回路と、前記第3の電圧検知回路及び前記第4の電圧検知回路に接続されていて前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号が入力され、かつ、前記第3の入力信号が入力され、この第3の入力信号に基づいて、前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号を出力する第2のフィルター回路と、前記第1のフィルター回路及び第2の前記フィルター回路から出力された前記第1の電圧検知回路乃至第4の電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定し、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエントリする動作モードエントリ設定回路と前記第1のフィルター回路及び第2のフィルター回路の出力信号に基づいて、特定動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴としている。

【0023】この発明の第5の視点の半導体装置は、第1入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レ

ベルの信号を出力する第1の電圧検知回路と、前記第1入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第2入力信号が入力され、この第2入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力するフィルター回路と、前記フィルタ一回路の出力信号に基いて動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴としている。

【0024】この発明の第6の視点の半導体装置は、第1の入力信号が入力され、第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力する第1の電圧検知回路と、前記第1の入力信号が入力され、第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に第2レベルの信号を出力する第2の電圧検知回路と、第2の入力信号が入力され、前記第1の基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に前記第1レベルの信号を出力する第3の電圧検知回路と、前記第2の入力信号が入力され、前記第2の基準電位よりもその入力信号の電位が高いか低いかを判断し、低い場合に前記第2レベルの信号を出力する第4の電圧検知回路と、前記第1の電圧検知回路及び前記第2の電圧検知回路に接続されていて前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号が入力され、かつ、第3の入力信号が入力され、この第3の入力信号に基づいて、前記第1の電圧検知回路の出力信号及び前記第2の電圧検知回路の出力信号を出力する第1のフィルター回路と、前記第3の電圧検知回路及び前記第4の電圧検知回路に接続されていて前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号が入力され、かつ、前記第3の入力信号が入力され、この第3の入力信号に基づいて、前記第3の電圧検知回路の出力信号及び前記第4の電圧検知回路の出力信号を出力する第2のフィルター回路と、前記第1のフィルター回路及び第2のフィルター回路の出力信号に基いて、特定動作モードをエントリ設定する動作モードエントリ設定回路とを有することを特徴としている。

【0025】この発明の第7の視点の半導体装置は、入力信号が入力され、所定基準電位よりもその入力信号の電位が高いか低いかを判断し、高い場合に第1レベルの信号を出力し、低い場合に第2レベルの信号を出力する電圧検知回路と、前記電圧検知回路の出力信号に対し、所定レベルと一致しているか否か、入力されるクロック信号に同期して複数回判定して、複数回の判定結果がすべて所定レベルと一致した場合に、動作モードをエント

りする動作モードエントリ設定回路とを有することを特徴としている。

【0026】この発明の第8の視点の半導体装置のモード設定方法は、第1の基準電位及び第2基準電位と入力信号電位との高低が所定条件と一致しているか否かを、クロック信号に同期して複数回判定し、全ての判定結果が所定条件と一致した場合にモードエントリ動作を行うステップと、モードエントリ動作後、モード選択信号に基づいて動作モードを選択するステップとを有することを特徴としている。

【0027】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。

【0028】(第1の実施の形態) 本発明にかかる第1の実施の形態にかかる半導体記憶装置を、図1を用いて説明する。

【0029】図1に示される本実施の形態の構成図では、半導体チップ10は、チップイネーブルバッファ1、テストイネーブルバッファ2、アドレスバッファ3、電圧検知回路ユニット4、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。メモリセルは半導体メモリで構成されていればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0030】本実施の形態では、特定アドレスが入力する電圧検知回路ユニット4にA1のアドレス信号が入力している。

【0031】アドレス信号A1が入力された電圧検知回路ユニット4から出力信号A1VLL、A1VHHが出力され、テストモードエントリ設定回路7に直接入力される。テストモードエントリ設定回路7は、チップイネーブル信号CE、CEB、テストイネーブル信号TEE、チップイネーブル遅延パルス信号CEDPULSEが入力され、テストエントリ信号TENTRY及びテストモード信号TMODEiが出力される。

【0032】本実施の形態の主要な信号のタイミング波形が示される図2にあるように、テストイネーブル信号TEBXのパルス信号は、1回目のパルスでは、アドレス信号A1の入力信号がHH、2回目のパルスではアドレス信号A1の入力信号がLL、3回目のパルスではアドレス信号A1の入力信号がHH、4回目のパルスではアドレス信号A1の入力信号がLLである。ここで、LLは第1基準電圧より低い電圧、HHは第2基準電圧より高い電圧を示すものとする。

【0033】本実施の形態では、テストモードエントリ設定回路7の出力信号TENTRYは、図2に示されるように、テストイネーブル信号TEBXのパルスのシーケンスに対してアドレス信号A1がHH→LL→HH→LLの順番に入力された場合に限ってテストエントリが成立し、“H”レベ

ルとなる。

【0034】チップイネーブルバッファ1は、外部信号CEBXが入力され、チップイネーブル信号CEB及びCEを出力する。アクティブ時には、チップイネーブル信号CEBは“L”レベルであり、チップイネーブル信号CEは“H”レベルである。一方、スタンバイ時には、チップイネーブル信号CEBは“H”レベル、チップイネーブル信号CEは“L”レベルとなる。チップイネーブル信号CEB、CEはテストエントリバッファ2、アドレスバッファ3、電圧検知回路ユニット4、テストモードエントリ設定回路7、周辺回路8に入力される。

【0035】テストイネーブルバッファ2はテスト専用のバッファ回路であり、外部信号であるテストイネーブル信号TEBXとチップイネーブル信号CEBが入力され、テストイネーブル信号TEE、レベル検知イネーブル信号TEDEが出力される。テストイネーブルバッファ2はスタンバイ時に活性化され、外部信号TEBXが“H”レベルから“L”レベルに変化したときに、テストイネーブル信号TEEが一定期間“H”パルス信号として出力され、またレベル検知イネーブル信号TEDEが同じ一定期間“L”レベルのパルス信号として出力される。このテストイネーブル信号TEEはアクティブ時には、“L”レベルに固定となり、レベル検知イネーブル信号TEDEは“H”レベルに固定となる。テストイネーブル信号TEEはテストモードエントリ設定回路7に入力され、レベル検知イネーブル信号TEDEは電圧検知回路ユニット4に入力される。

【0036】アドレスバッファ3は、外部信号(アドレス信号)A2乃至Ai(iは自然数)が入力され、出力信号はテストモードエントリ設定回路7及び周辺回路8に入力されている。

【0037】周辺回路8に入力されたアドレス信号は、デコード回路(図示せず)を介して出力され、メモリセル駆動回路及びメモリセル9に入力されて、アドレス信号により特定されたメモリセルが選択される。

【0038】電圧検知回路ユニット4には、外部信号A1が入力され、出力信号A1VLL、A1VHHが出力され、テストモードエントリ設定回路7に入力される。

【0039】テストモードエントリ設定回路7には、チップイネーブル信号CEBが遅延回路11において遅延された遅延信号であるチップイネーブル遅延パルス信号CEDPULSEが入力される。テストモードエントリ設定回路7から入力信号に基づいて、テストエントリ信号TENTRY及びテスト信号TMODEiが出力され、周辺回路8に入力される。

【0040】図2に、テストモードエントリ動作について図1に示される主要信号のタイミング波形が示される。ここで示される動作は通常の読み出し動作や書き込み動作のタイミング波形ではなく、テストモードの設定動作のタイミング波形である。

【0041】まず、テストエントリ状態で、クロック信

号であるテストイネーブル信号TEBXと外部信号（ここではA1）に基づいて、テストモード設定準備段階の信号であるテストエントリ信号TENTRYが“L”レベルから“H”レベルに変化する。その後、チップイネーブル信号CEBXが“L”レベルから“H”レベルに変化したタイミングでテストモード信号TMODEiが“L”レベルから“H”レベルに変化してテストモードが設定される。

【0042】チップイネーブル信号CEBX、テストイネーブル信号TEBX、アドレス信号（ここではA1乃至Ai）は外部入力信号であり、テストエントリ信号TENTRY、テストモード信号TMODEi、チップイネーブル遅延パルス信号CEPULSE、及びテストイネーブルパルス信号TEEはチップ内部で生成される内部信号である。

【0043】また、アドレス信号のうち、A1は半導体記憶装置の通常動作の読み出し／書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号として電圧検知回路ユニット4に入力される。

【0044】テストエントリ信号TENTRYはテストエントリが成立した時に“L”レベルから“H”レベルになり、テストモード信号TMODEiが“H”レベルに変化するタイミングで“L”レベルに変化する。テストエントリ後、アドレス信号A1乃至Aiの組み合わせであるアドレス信号MODEiによって任意のテストモード信号TMODEiが選択される。テストモード信号TMODEiは、あらかじめ決められたテストモードを指定する複数個のアドレスの組み合わせに割り振られていて、テストエントリ後のチップイネーブル信号CEBXが“L”レベルから“H”レベルに変化するタイミングで選択されて、“L”レベルから“H”レベルに変化する。

【0045】次に、図2に基づいてテストエントリ動作について説明する。テストエントリは、半導体記憶装置がスタンバイ状態において、チップイネーブル信号CEBXが“H”レベルの時にテストイネーブル信号TEBXがクロック動作している期間に、アドレス信号A1が“HH”レベルにあると設定されることによって又は“LL”レベルにあると設定されることによって行われる。

【0046】テストイネーブルバッファ2の構成と動作について図20を用いて説明する。テストイネーブルバッファ2は、ゲートに接地電位が入力するPMOSトランジスタM1701と、NMOSトランジスタM1702、M1703、M1704からなるインバータと、このインバータの出力が入力信号となるインバータINV1710と、このインバータINV1710の出力信号TEBが入力されるインバータINV1711と、このインバータINV1711の出力信号及びチップイネーブル信号CEBが入力される NAND回路NAND1711と、NAND回路NAND1711の出力信号が入力されるインバータINV1712と、インバータINV1712の出力信号及びインバータINV1712の出力信号を反転するインバータINV1713の出力が入力される遅延回路39の出力信号が入力される NAND回路NAND

1712と、この NAND回路NAND1712の出力信号が入力され、フィルター回路31、32(図14参照)の入力信号となるテストイネーブル信号TEEが出力されるインバータINV1714と、テストイネーブル信号TEEを入力され、レベル検知イネーブル信号TEDEが出力されるインバータINV1715と、を有している。

【0047】このテストイネーブルパルスバッファ2の動作を以下に説明する。

【0048】スタンバイ時には、チップイネーブル信号CEBは“H”レベルであり、チップイネーブル信号CEBとテストイネーブル信号TEBXの反転信号が入力されている NAND回路NAND1711の出力信号はテストイネーブル信号TEBXに応じた信号が出力される。

【0049】外部テストイネーブル信号TEBXの立ち下がり時にインバータINV1710の出力信号TEBも“H”レベルから“L”レベルへ立ち下がり、NAND回路NAND1711の出力信号も“H”レベルから“L”レベルに変化する。インバータINV1712の出力信号は“L”レベルから“H”レベルへ変化し、インバータINV1713とその後の遅延回路39を通過した信号はインバータINV1712より遅延回路39での遅延分遅れて、“H”レベルから“L”レベルへ変化する。

【0050】インバータINV1712と遅延回路39との出力信号が入力される NAND回路NAND1712は、インバータINV1712の出力信号が“H”レベルになってから、遅延回路39の出力信号が遅延されて“L”レベルになるまでの期間だけ、出力信号が“L”レベルとなり、またインバータINV1714の出力信号TEE(テストイネーブルパルス信号)はこの期間だけ“H”レベルとなる。すなわち、出力信号TEEは、テストイネーブル信号TEBXが“H”レベルから“L”レベルに立ち下がった時に“L”レベルから“H”レベルへ変化し、その後遅延回路39で設定された時間分だけ経過した後、“L”レベルへと変化するパルス信号となる。

【0051】インバータINV1715の出力信号であるレベル検知イネーブル信号TEDEは、“H”レベルから“L”レベルへ変化し、その後遅延回路39で設定された時間分だけ経過した後、“H”レベルへと変化するパルス信号となる。

【0052】アクティブ時は、チップイネーブル信号CEBは“L”レベルとなり、NAND回路NAND1711の出力信号は“H”レベルで固定となり、テストイネーブル信号TEBXが変化しても出力信号は変化せず、テストイネーブル信号TEEは“L”レベルに固定され、レベル検知イネーブル信号TEDEは“H”レベルに固定される。

【0053】図1において、アドレス信号A1のレベル設定は、電圧検知回路ユニット4に第1基準電位と第2基準電位を設定し、基準電位よりアドレス信号A1が高いか低いかを検知することで行われる。この実施の形態では電源電圧3.3Vの半導体記憶装置を例として、第1基準

電位を4.7V、第2基準電位を1.0Vに設定している。

【0054】図2において、LLは第2基準電圧より低い電圧、HHは第1基準電圧より高い電圧を示すものとする。テストエントリ時には、図2に示されるように①～④の4ステップのシーケンスのパルスのテストイネーブル信号TEBXを印加する。1回目のパルスの立ち下がり時ではアドレス信号A1=HHに、2回目のパルスの立ち下がり時ではアドレス信号A1=LLに、3回目のパルスの立ち下がり時ではアドレス信号A1=HHに、4回目のパルスの立ち下がり時ではアドレス信号A1=LLに設定する。テストイネーブルバッファ2の出力信号、レベル検知イネーブル信号TEDEが“L”レベルのとき、第1の電圧検知回路ユニット4が活性化され、入力信号Aiに応じたエントリ信号が、テストエントリ設定回路7に入力されることでテストエントリが成立する。テストイネーブル信号TEDEのパルス幅は例えば20ns程度である。

【0055】この4ステップのシーケンスのパルスのテストイネーブル信号TEBXが入力すると、4回目のテストイネーブル信号TEBXのパルスのタイミングで、テストエントリ信号TENTRYが“H”レベルとなりテストエントリが成立する。テストエントリ成立後、“H”レベルから“L”レベルへの変化、そしてその後の“H”レベルへの変化であるチップイネーブル信号CEBXのパルスでテストモードの選択が行われる。テストモードエントリ設定回路7は、チップイネーブル信号CEBXのパルスでアドレスの組み合わせMODEiを取り込み、アドレスの組み合わせに対応した複数のテストモードTMODeiから特定のモードを選択する。

【0056】チップイネーブル信号CEBXが“L”レベルから“H”レベルに変化すると、このタイミングで、テストモード信号TMODeiが“H”レベルとなり、同時にチップイネーブル遅延パルス信号CEDPULSEが“H”レベルから“L”レベルに変化し、テストエントリ信号TENTRYが“L”レベルとなる。

【0057】上記のように、テストモード設定動作は、まずテストエントリを行い、テストエントリ成立後テストモードを選択する。すなわち、テストエントリ動作は、アドレス信号A1のレベル設定と、テストイネーブル信号TEBXのパルスのシーケンスによって設定される。

【0058】テストモード選択動作は、チップイネーブル信号CEBXのクロック動作とアドレス信号A1～Aiの設定によって行われる。

【0059】このテストエントリ動作とテストモード選択動作の組み合わせでテストモードエントリの動作が完了する。この方法で任意のテストモード設定を行うことができる。すなわち、アドレス信号の設定により複数種類のテストモードを用意しておき、指定されたアドレス信号の組み合わせにより、任意のテスト動作が可能である。また、テストエントリ動作において、アドレス信号

A1の電位レベルの組み合わせは、図2に示された組み合わせに限られるものではなく、任意の他の電位レベルの組み合わせとすることができます。

【0060】また、テスト動作の解除については、テストモードの選択の中にテスト解除のモードを割り当て、テストモード設定と同様に、テストエントリ動作後にテスト解除を選択することによってテストモードから通常動作への変更が可能となる。このようなテストエントリ方法は、テストモードの選択、複数のテストモードの組み合わせ、テストモードの解除等、1つのエントリ回路と複数の選択回路の構成で自由度の高いテスト回路が実現できる。

【0061】次に、電圧検知回路ユニット4について説明する。電圧検知回路ユニット4の概念図は図3に示される通りである。図3では、入力信号がVin(図1におけるA1に対応する)、出力信号がVLL(図1におけるA1VLLに対応する)とVHH(図1におけるA1VHHに対応する)となっている。入力信号Vinは、第1の電圧検知回路16と第2の電圧検知回路17にそれぞれ入力され、第1の電圧検知回路16から出力信号VLLが、第2の電圧検知回路17からVHHが输出される。入力信号Vinと出力信号VLL、VHHの関係は図4に示される通りである。

【0062】図4では、横軸が入力信号Vinの電圧、縦軸が出力信号VLL、VHHの電圧である。入力信号Vinの電圧が第1基準電位よりも低い場合では出力信号VLLの電圧が“H”レベルとなり、第1基準電位以上で“L”レベルになる。出力信号VHHの電圧は、入力信号Vinの電圧が第2基準電位よりも低い場合では“L”レベルであり、入力信号Vinの電圧が高くなり、第2基準電位を超えると“H”レベルとなる。

【0063】この電圧検知回路ユニットによって、入力信号Vinが第1基準電位より低い電圧(第1の状態)、第2基準電圧より高い電圧(第2の状態)、第1基準電位と第2基準電位との間の電圧(第3の状態)の3つの電圧状態を検出することができる。

【0064】次に、図3に示されたロウレベルを検知する第1の電圧検知回路16とハイレベルを検知する第2の電圧検知回路17の具体的回路は図5に示される。

【0065】第1の電圧検知回路16はM611～M616のトランジスタによるノア回路と、M617、M618のトランジスタによる第1インバータと、第2インバータINV619から構成されている。

【0066】外部入力信号Vinとレベル検知イネーブル信号TEDEとがこの第1の電圧検知回路16に入力されている。このレベル検知イネーブル信号TEDEは、半導体記憶装置がアクティブ時に“H”レベル、スタンバイ時に外部信号TEBXの立ち下がり時に“L”レベルパルスとなるテストイネーブルバッファ2の出力信号である。

【0067】半導体記憶装置がアクティブ時にはレベル

検知イネーブル信号TEDEは“H”レベルであり、トランジスタM611～M616からなるノア回路のM611がオフ状態、M615がオン状態になり、ノア回路の出力は“L”レベル、M617、M618のインバータ出力は“H”レベル、インバータINV619の出力であるVLLは“L”レベルとなる。

【0068】スタンバイ時にはレベル検知イネーブル信号TEDEは、外部信号TEBXの変化に応じ、“L”レベルとなり、トランジスタM611はオン状態、M615はオフ状態であり、入力信号Vinによって出力信号VLLの電圧が決まる。すなわち、入力信号Vinの電圧が低いときは出力信号VLLは“H”レベルとなり、入力信号Vinが高いときは、出力信号VLLは“L”レベルとなる。出力信号VLLが“H”レベルから“L”レベルに切り替わる条件は、M611～M616からなるノア回路の閾値できまり、ここでは1.0Vになるように設定している。よって第1基準電位は1.0Vとなる。

【0069】第2の電圧検知回路17は、トランジスタM621～M623による初段回路と、トランジスタM624とM625からなるインバータ、トランジスタM624、M625からなるインバータの出力及びテストイネーブルバッファ2の出力信号であるレベル検知イネーブル信号TEDEが入力するノア回路NOR626で構成されている。

【0070】半導体記憶装置がアクティブの状態では、レベル検知イネーブル信号TEDEは“H”レベルであり出力信号VHHは“L”レベルとなる。

【0071】半導体記憶装置がスタンバイの状態では、外部信号TEBXの変化に応じて、レベル検知イネーブル信号TEDEは“L”レベルとなり、入力信号Vinにより出力信号が決まる。

【0072】ここで、入力信号Vinが $V_{cc} + 2 \times V_{thp}$ 以上になるとVHH=“H”となる。ここで、 V_{cc} は動作電源電圧であり、 V_{thp} は第2の電圧検知回路17内のPMOSトランジスタの閾値電圧である。ゲートには V_{cc} が入力するPMOSトランジスタM622はソース電圧が $V_{cc} + V_{thp}$ になるとオン状態となる。さらにドレインとゲートとが相互接続されているPMOSトランジスタM621は、ソース電圧であるVinが $2 \times V_{thp}$ になるとオン状態となる。ここで、NMOSトランジスタM623の駆動能力は十分弱く設定する。

【0073】従って、入力信号Vin + 2 × Vthp以上になるとトランジスタM624とM625からなるインバータの入力電位が“H”レベルとなり、M624とM625のインバータの出力が“L”レベル、NOR626の出力信号であるVHHが“H”レベルとなる。逆に、入力信号Vinが $V_{cc} + 2 \times V_{thp}$ 未満になるとVHHは“L”レベルとなる。ここでは、PMOSトランジスタの閾値電圧を約0.7Vとし、 $V_{cc} + 2V_{thp} = 4.7V$ に設定される。よって第2基準電位は4.7Vとなる。

【0074】第1の電圧検知回路16と第2の電圧検知回路17とを組み合わせることによって、入力信号Vinが1.0V以下の時は、VLLが“H”レベル、VHHが“L”

レベルとなり、入力信号Vinが4.7V以上の時は、VLLが“L”レベル、VHHが“H”レベルとなる。さらに、入力信号Vinが1.0V以上で4.7V以下の場合は、VL、VLL、VHH共に“L”レベルとなる。

【0075】この電圧検知回路ユニットの入力信号と出力信号との関係が図6に示される。本実施の形態では動作電源電圧は3.0V～3.6V、通常動作の入力電圧は0V～3.6Vである半導体記憶装置を例にとって説明している。

【0076】図6に示されるように、入力信号Vinが1.0V以下で出力信号VLLが“H”レベルとなり、入力信号Vinが4.7V以上で出力信号VHHが“H”レベルとなる。このように入力信号Vinが1.0V以上、4.7V以下の領域は出力信号VLLもVHHも“L”レベルになる領域で入力電圧に対して不感帯領域として働く。

【0077】本実施の形態のテストモードエントリ設定回路7の具体的構成例が図7に示される。ここでは、アドレス信号A1がHH→LL→HH→LLの順番に入力され、テストエントリモードが成立するとテストエントリ信号TENTRYが“H”レベルになる。

【0078】テストモードエントリ設定回路7は、直列に接続された第1乃至第4のラッチ回路を有していて、テストエントリ信号TENTRYを出力する。第1のラッチ回路は、互いに入出力が接続されたノア回路NOR1411、NOR1412と、インバータINV1413とから構成されている。第2のラッチ回路は互いに入出力が接続されたノア回路NOR1421、NOR1422と、インバータINV1423とから構成されている。第3のラッチ回路は互いに入出力が接続されたノア回路NOR1431、NOR1432と、インバータINV1433とから構成されている。第4のラッチ回路は互いに入出力が接続されたノア回路NOR1441、NOR1442から構成されている。

【0079】さらにテストモードエントリ設定回路7は、テストエントリ信号TENTRYとチップイネーブル信号CEBが入力されたノア回路NOR1451と、チップイネーブル遅延パルス信号CEDPLUSEが入力されたインバータINV1452と、このインバータINV1452の出力とノア回路NOR1451の出力とが入力されたノア回路NOR1453と、このノア回路NOR1453の出力が入力され、テストリセット信号TRESE TBを出力するインバータINV1454とを有している。

【0080】このテストリセット信号TRESE TBは第1乃至第4のラッチ回路中のノア回路NOR1411、NOR1421、NOR1431、NOR1441に入力されている。また、第1乃至第4のラッチ回路中のノア回路NOR1412、NOR1422、NOR1432、NOR1442には、第1の電圧検知回路ユニット4の出力信号であるA1VHH、A1VLL、A1VHH、A1VLLがそれぞれ入力される。

【0081】ここで、テストモードエントリ設定動作について説明する。

【0082】テストエントリ状態となる前は、リセット

信号TRESETBが“L”レベルから、“H”レベルへ変化し、次いで、“L”レベルに変化するパルスとなると、テストモードエントリ設定回路7内の4段のラッチ回路内のノア回路がリセットされ、インバータINV1413、INV1433、INV1433の出力が“H”レベル、テストエントリ信号TENTRYが“L”レベルとなる。

【0083】テストエントリ状態となる時、図2に示されるように、始めにアドレス信号A1は“HH”状態となり、ノア回路NOR1412とノア回路NOR1432に入力している第1の電圧検知回路ユニット4からの出力信号A1VHHが“H”レベルとなる。ここでは、3段目のラッチ回路はインバータINV1423の出力でリセット状態であり、インバータINV1433の出力は変化しない。1段目のラッチ回路の出力であるインバータINV1413の出力のみが“H”レベルから“L”レベルに変化する。

【0084】次にアドレス信号A1は“LL”状態となり、ノア回路NOR1422とノア回路NOR1442に入力している第1の電圧検知回路ユニット4からの出力信号A1VLLが“H”レベルとなる。この状態では、4段目のラッチ回路はインバータINV1433の出力によりリセット状態であり、テストエントリ信号TENTRYは“L”レベルに固定されたままで、2段目のラッチ回路の出力であるインバータINV1423の出力のみが“H”レベルから“L”レベルに変化する。

【0085】次の3回目のパルスでは、インバータINV1433の出力が“H”レベルから“L”レベルに変化する。

【0086】次の4回目のパルスでは、4段目のラッチ回路の出力であるテストエントリ信号TENTRYが“L”レベルから“H”レベルに変化する。

【0087】ここで、ノア回路NOR1451、インバータINV1452、ノア回路NOR1453、インバータINV1454を有するロジック回路は、テストエントリ信号が“H”レベルに変化した後、チップイネーブル信号CEBのパルスでテストモード選択した際に、チップイネーブル信号CEBが“H”から“L”に変化し、その後チップイネーブル信号CEBが“L”レベルから“H”レベルへの立ち上がり、チップイネーブル遅延パルス信号CEDPULSEが“H”から“L”になったタイミングで、リセット信号TRESETBパルスが“L”レベルから“H”レベルに立ち上がる。リセット信号TRESETBのパルスによって、テストエントリ信号TENTRYが“H”レベルから“L”レベルにリセットされ、第1乃至第4のラッチ回路も同時にリセットされる。

【0088】ここで、通常動作でテストモードでない状態では、テストエントリ信号TENTRYは“L”レベルで、かつチップイネーブル信号CEBが“L”レベルの時もリセット信号TRESETBは“H”レベルとなり、テストモードエントリ設定回路7はリセット状態となっている。

【0089】テストモードエントリ設定回路7は、第1の電圧検知回路ユニット4の出力信号を受けて、テストイネーブル信号TEBXの4回のパルスのそれぞれの“H”

レベルから“L”レベルへの変位のタイミングでアドレス信号A1が、HH→LL→HH→LLの順番に入力されているか判定する回路であり、正しく順番通りに入力されるとテストエントリ信号TENTRYが“H”レベルに変化する。

【0090】図8にテストモードエントリ設定回路7内のテストモード信号発生回路の回路構成が示される。

【0091】テストモード信号発生回路は、アドレス信号A1、A2、Ai (iは自然数)が入力される NAND回路NA ND1611と、この NAND回路NAND1611の出力が入力されるインバータINV1611と、このインバータINV1611の出力及びテストエントリ信号TENTRYが入力される NAND回路NA ND1612と、 NAND回路NAND1612の出力を入力とし、リセット信号RESETをリセット信号とする NAND回路NAND1613、NAND1614からなるラッチ回路と、 NAND回路NAND1614の出力を反転させ、テスト選択信号を出力するインバータINV1612とを有している。

【0092】リセット信号RESETは電源投入時とテストモード終了時に“H”レベルから“L”レベル、次いで“H”レベルへと変化するリセットパルス信号である。

【0093】このテストモード信号発生回路はテストモードの個数分複数個設け、デコードするためのアドレス信号を、その個数に応じて決めればよい。

【0094】このテストモード信号発生回路の動作を以下に説明する。

【0095】テストエントリ前にはアドレス信号A1~Aiは“L”レベルであり、テストエントリ信号TENTRYは“L”レベルであり、リセット信号RESETは“H”レベルであり、テストモード信号TMODEiは“L”レベルとなっている。

【0096】テストエントリ後、テストエントリ信号TENTRYが“H”レベルの状態で、選択されるテストモードに対応したアドレスがすべて“H”レベルの時に NAND回路NAND1611の出力は“H”レベルから“L”レベルになり、インバータINV1611の出力は“L”レベルから“H”レベルになり、NAND回路NAND1612の出力は“H”レベルから“L”となりラッチ回路がセットされる。そして、NAND回路NAND1614の出力は“H”レベルから“L”レベルへ変化し、インバータINV1612の出力であるテストモード信号TMODEiは、“L”レベルから“H”レベルへ変化して、アドレスに対応したテストモードが選択される。

【0097】テストモード選択と同時に、チップイネーブル信号CEBXがパルス波形となり、“L”レベルから“H”レベルへの立ち上がりのタイミングで、チップイネーブル遅延パルス信号CEDPULSEが“H”レベルから“L”レベルへ変化し、図7に示されているインバータINV1452の出力は“L”レベルから“H”レベルに変化し、ノア回路NOR1453は“H”レベルから“L”レベルに変化し、さらにインバータINV1454の出力であるリセット信号TRESETが“L”レベルから“H”レベルに変化する。

【0098】そして、ノア回路NOR1411～NOR1441、インバータINV1413～INV1433からなる4段のラッチ回路がリセットされる。さらにそれぞれのラッチ回路の出力であるテストエントリ信号TENTRYは“H”レベルから“L”レベルになる。

【0099】さらに、アクティブ時にはチップイネーブル信号CEBは“L”レベルであり、テストエントリでない状態では、ノア回路NOR1451の出力信号は“H”レベルであり、ノア回路NOR1453の出力信号は“H”レベルである。その結果、リセット信号であるインバータINV1454の出力信号TRESTBは“H”レベルとなり、テストエントリモード設定回路7のラッチ回路は全てリセット状態となり、テストエントリ動作はできないことになる。

【0100】本実施の形態では、半導体記憶装置をテストモードに設定しようとした場合、テストエントリを行うテストイネーブル信号TEBXのパルスを入力して、そのパルス信号に合わせて、特定アドレスここではA1のアドレスを1.0V以下の電位または、4.7Vより高い電位に所定のシーケンスで設定する必要がある。

【0101】このように、高電圧側の入力電位は通常の動作電源電圧の仕様よりも高い電位を基準電位に設定し、複数回入力電位と基準電位との比較判定を行うことによって、意図しないでテストモードになってしまい誤動作を防ぐことが可能となる。

【0102】ここでは、ロウレベル検知回路及びハイレベル検知回路にて検知されない電圧である幅広い不感帯幅は高電位側の基準電位4.7Vから低電位側の基準電位1.0Vの差である3.7Vとなる。このように十分に広い不感帯幅と高電圧側の電圧設定により、たとえ入力信号が半導体記憶装置の外部要因で1～2V程度も変動した場合であっても、誤ってテストモードに設定されることはない。

【0103】すなわち、テストモードに設定する時は、“L”レベルを1.0Vよりも小さく設定し、“H”レベルは4.7Vよりも大きく設定しない限り、テストモードとして動作しないため、誤動作の危険性がきわめて少なくなり、誤作動によるテストでのメモリセルデータの破壊を確実に防止できる。

【0104】また、クロック信号に同期して、入力信号のレベル検知動作やアドレス信号に基いたモード特定を行うため、高速クロック動作が確保されたテストモード設定が可能である。

【0105】このように、本実施の形態により、安定した通常動作が可能になり、信頼性の高い半導体記憶装置が実現できる。

【0106】本実施の形態の電圧検知回路ユニット4は、入力信号のレベル判定電位の設定を回路閾値、トランジスタの閾値Vthで設定しており、回路面積の増大が抑制される。ここで、“H”レベル側ではテストモードへの誤設定を防止する安全性を図って、あまり高い電圧

に設定してしまうと、許容印加電圧、トランジスタ耐圧等で半導体装置のトランジスタが破壊される可能性もある。

【0107】しかしながら、本実施の形態では、図5に示されるような電圧検知回路ユニットを用いることにより、ある基準電位（本実施の形態ではVcc）に対して閾値Vthを1段分または2段分等加えて、容易に電圧設定ができる、デバイスの特性に合わせた電位設定が容易にできる回路構成である。すなわち、図5に示された電圧検知回路ユニット内のハイレベル検知回路17内の入力信号Vinが入力されるトランジスタM621に直列にトランジスタM622を設けることで、基準電位Vccに対して、閾値を2段分加えて“H”レベルの基準電位を設定している。

【0108】このように本実施の形態によれば、半導体記憶装置の通常動作中に誤ってテストモードに設定されることを防止し、かつ、比較的小面積のテストモードエントリ設定回路で、比較的に少ないコマンド数でテストモードへ設定できる半導体記憶装置を提供できる。

【0109】さらに本実施の形態ではトランジスタの耐圧近くまで“H”レベルの信号を高電位に上げる必要なく、かつ、誤ってテストモードへ設定されることを防止できる。そのため、テストモード設定時の半導体記憶装置の破壊をも確実に防止できる。

【0110】また、従来技術のように低電位入力を負電源とせずに、本実施の形態では通常使用電圧以下で接地電位以上の電位としていることで、テスト時に負電源を用意することが不要となり、効率的にテスト動作を行うことが可能である。

【0111】また、本実施の形態ではテストモード設定に用いるアドレス信号線は1本程度と少なく、数段のステップでエントリ可能であり、チップ面積のペナルティも非常に少ない。

【0112】さらに、本実施の形態でのテストモード設定においては、アドレスA1からAiの内、MODEiによって、テストの種類を特定するTMODEiがテストモードエントリ設定回路から出力されるので、テストの種類ごとにレベル検知回路やテストモードエントリ設定回路を設ける必要がない。そのため、誤動作の危険性が少なく、高集積化された多種類のテストモードが設定可能な半導体記憶装置が提供される。

【0113】（第2の実施の形態）本発明にかかる第2の実施の形態にかかる半導体記憶装置を、図9を用いて説明する。

【0114】図9に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、テストイネーブルバッファ2、アドレスバッファ3、第1の電圧検知回路ユニット4₁、第2の電圧検知回路ユニット4₂、デコード回路6、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並び

に遅延回路11を有している。ここで、メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0115】ここでは、特定アドレスが入力する2つの電圧検知回路ユニット4₁、4₂にA1、A2の2つの信号のいずれか一方がそれぞれに入力している構成を示している。

【0116】チップイネーブルバッファ1は、外部信号CEBXが入力され、チップイネーブル信号CEB及びCEを出力する。アクティブ時には、チップイネーブル信号CEBは“L”レベルであり、チップイネーブル信号CEは“H”レベルである。また、スタンバイ時には、チップイネーブル信号CEBは“H”レベル、チップイネーブル信号CEは“L”レベルとなる。チップイネーブル信号CEB、CEはテストエントリバッファ2、アドレスバッファ3、第1の電圧検知回路ユニット4₁、第2の電圧検知回路ユニット4₂、テストモードエントリ設定回路7、周辺回路8に入力される。

【0117】テストイネーブルバッファ2はテスト専用のバッファ回路であり、外部信号であるテストイネーブル信号TEBXとチップイネーブル信号CEBが入力され、テストイネーブル信号TEEと、レベル検知イネーブル信号TEDEが出力される。テストイネーブルバッファ2はスタンバイ時に活性化され、外部信号TEBXが“H”レベルから“L”レベルに変化したときに、テストイネーブル信号TEEが一定期間“H”パルス信号として、さらにレベル検知イネーブル信号TEDEは同様の期間“L”レベルのパルス信号として出力される。

【0118】このテストイネーブル信号TEEはアクティブ時には、“L”レベルに固定となり、レベル検知イネーブル信号TEDEは“H”レベルに固定となる。テストイネーブル信号TEEはテストモードエントリ設定回路7に入力され、レベル検知イネーブル信号TEDEは第1の電圧検知回路ユニット4₁、第2の電圧検知回路ユニット4₂に入力されている。

【0119】アドレスバッファ3は、外部信号A1乃至Ai(iは自然数)が入力され、出力信号は、テストモードエントリ設定回路7、周辺回路8に入力されている。

【0120】周辺回路8に入力されたアドレス信号は、デコード回路(図示せず)を介して出力され、メモリセル駆動回路及びメモリセル9に入力されて、アドレス信号により特定されたメモリセルの選択が行われる。

【0121】電圧検知回路ユニットはここでは2つ備えられており、第1の電圧検知回路ユニット4₁には、外部信号A1が入力され、出力信号A1VLL、A1VHHが出力される。第2の電圧検知回路ユニット4₂には外部信号A2が入力され、出力信号A2VLL、A2VHHが出力される。この2つの電圧検知回路ユニット4₁、4₂の出力信号A1VL L、A1VLL、A2VHH、A2VLLはデコード回路6に入力される。デコード回路6からは出力信号ES00、ES01、ES10、

ES11が出力され、テストモードエントリ設定回路7に入力される。

【0122】テストモードエントリ設定回路7にはチップイネーブル信号CEBの遅延信号であるチップイネーブル遅延パルス信号CEDPULSEが入力される。テストモードエントリ設定回路7から入力信号に基づいて、テストエントリ信号TENTRY及びテスト信号TMODEiが出力され、周辺回路8に入力される。

【0123】この実施の形態においても第1の実施の形態同様な構成、機能を有する図20に示されたテストイネーブルバッファ2が用いられる。

【0124】テストモードエントリ動作について図9に示される主要信号のタイミング波形が図10に示される。ここで示される動作は通常の読み出し動作や書き込み動作とは異なるテストモードの設定を行うタイミング波形である。

【0125】まず、テストエントリ状態で、クロック信号であるテストイネーブル信号TEBXと外部信号(ここではA1、A2)でテストモード設定準備段階の信号であるテストエントリ信号TENTRYが“L”レベルから“H”レベルに変化し、その後、チップイネーブル信号CEBXが“L”レベルから“H”レベルに変化したタイミングでテストモード信号TMODEiが“L”レベルから“H”レベルに変化してテストモードが設定される。

【0126】ここに示されるチップイネーブル信号CEBX、テストイネーブル信号TEBX、アドレス信号(ここではA1乃至Ai)は外部入力信号、テストエントリ信号TENTRY、テストモード信号TMODEi、チップイネーブル遅延パルス信号CEDPULSEはチップ内部で生成される内部信号である。ここで、チップイネーブル遅延パルス信号CEBXが遅延回路11によって遅延された信号である。また、アドレス信号のうち、A1及びA2は半導体記憶装置の通常動作の読み出し/書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号として電圧検知回路ユニット4₁、4₂に入力されている。

【0127】テストエントリ信号TENTRYはテストエントリが成立した時に“L”レベルから“H”レベルになり、テストモード信号TMODEiが“H”レベルに変化するタイミングで“L”レベルに変化する。テストモード信号TMODEiは、テストエントリ後、アドレス信号A1乃至Aiの組み合わせであるアドレス信号MODEiによって任意の信号が選択される。テストモード信号TMODEiは、あらかじめ決められたテストモードを複数個のアドレスの組み合せに割り振られていて、テストエントリ後のチップイネーブル信号CEBXが“L”レベルから“H”レベルに変化するタイミングで選ばれて、“L”レベルから“H”レベルに変化する。

【0128】次に、図10に基づいてテストエントリ動

作について説明する。テストエントリは、半導体記憶装置がスタンバイ状態で、チップイネーブル信号CEBXが“H”レベルの時にテストイネーブル信号TEBXがクロック動作している期間にアドレス信号A1、A2があらかじめ設定された“HH”レベル又は“LL”レベルのいずれかの状態として設定されることによって行われる。

【0129】アドレス信号A1、A2のレベル設定は、第1及び第2の電圧検知回路ユニット4₁、4₂それぞれに第1基準電圧と第2基準電圧を設定し、基準電圧よりアドレス信号A1、A2が高いか低いかを検知することで行われる。この実施の形態では電源電圧3.3Vの半導体記憶装置を例として、第1基準電圧を4.7V、第2基準電圧を1.0Vに設定している。

【0130】ここで、LLは第2基準電圧より低い電圧、HHは第1基準電圧より高い電圧を示すものとする。テストエントリ時に、テストイネーブル信号TEBXを図10に示されるように①～④の4ステップのシーケンスのパルスを印加し、TEBXの立ち下がり時1回目のパルスではアドレス信号A1=HH、アドレス信号A2=HH、2回目のパルスではA1=LL、A2=HH、3回目のパルスではA1=HH、A2=LL、4回目のパルスではA1=LL、A2=LLと順番に設定する。テストイネーブルバッファ2の出力信号、レベル検知イネーブル信号TEDEが“L”レベルのとき、第1の電圧検知回路ユニット4₁及び第2の電圧検知回路ユニット4₂が活性化され、入力信号Aiに応じたエントリ信号が、テストエントリ設定回路7に入力されることでテストエントリが成立する。ここで、テストイネーブル信号TEEのパルス幅は例えば20ns程度である。

【0131】この4ステップが順序よく入力すると、4回目のテストイネーブル信号TEBXのパルスのタイミングで、テストエントリ信号TENTRYが“H”レベルとなりテストエントリが成立する。テストエントリ成立後、

“H”レベルから“L”レベル、そして“H”レベルへの変化状態であるチップイネーブル信号CEBXのパルスでテストモードの選択が行われる。テストモードエントリ設定回路7は、チップイネーブル信号CEBXのパルスでアドレスの組み合わせMODEiを取り込み、アドレスの組み合わせに対応した複数のテストモードMODEiから特定のモードを選択する。

【0132】チップイネーブル信号CEBXが“L”レベルから“H”レベルに変化すると、このタイミングで、特定のテストモード信号TMODeiが“H”レベルとなり、同時にチップイネーブル遅延パルス信号CEDPULSEが“H”レベルから“L”レベルに変化し、テストエントリ信号TENTRYが“L”レベルとなる。

【0133】上記のようにテストモード設定動作は、まずテストエントリを行い、テストエントリ成立後テストモードを選択する。すなわち、テストエントリ動作は、アドレス信号A1、A2のレベル設定と、テストイネーブル信号TEBXの所定パルスの組み合わせによって設定され

る。

【0134】テストモード選択動作は、チップイネーブル信号CEBXのクロック動作とアドレス信号A1～Aiの設定によって行われる。

【0135】このテストエントリ動作とテストモード選択動作の組み合わせでテストモードエントリの動作が完了する。この方法で任意のテストモード設定を行なうことができる。すなわち、アドレス信号の設定により複数種類のテストモードを準備して、指定されたアドレス信号の組み合わせにより、任意のテスト動作が可能である。

【0136】また、テスト動作の解除については、テストモードの選択の中にテスト解除のモードを割り当て、テストモード設定と同様に、テストエントリ動作後にテスト解除を選択することによってテストモードから通常動作への変更が可能となる。このようなテストエントリ方法は、テストモードの選択、複数のテストモードの組み合わせ、テストモードの解除等1つのエントリ回路と複数の選択回路の構成で自由度の高いテスト回路が実現できる。

【0137】また、テストエントリ動作については、図10に示されたアドレス信号A1、A2の電位レベル状態に限られるものではなく、任意の電位レベルの組み合わせに設定することができる。

【0138】次に、本実施の形態を示す図9中の2つの電圧検知回路ユニット4₁、4₂、デコード回路6、及びテストモードエントリ設定回路7のブロック図が図11に示される。デコード回路6は第1乃至第4 NAND回路12、13、14、15を有している。

【0139】第1 NAND回路12には、第1の電圧検知回路ユニット4₁内の第1の電圧検知回路16の出力信号A1VLL及び第2の電圧検知回路ユニット4₂内の第1の電圧検知回路18の出力信号A2VLLが入力されて、出力信号ES00が outputされている。なお、第1の電圧検知回路ユニット4₁および第2の電圧検知回路ユニット4₂はいずれも図1の電圧検知回路ユニット4と同様であり、その具体的な構成は電圧検知回路ユニット4と同様であり、図5に示されている。

【0140】第2 NAND回路13には、第1の電圧検知回路ユニット4₁内の第1の電圧検知回路16の出力信号A1VLL及び第2の電圧検知回路ユニット4₂内の第2の電圧検知回路19の出力信号A2VHHが入力されて、出力信号ES01を出力している。

【0141】第3 NAND回路14には、第1の電圧検知回路ユニット4₁内の第2の電圧検知回路17の出力信号A1VHH及び第2の電圧検知回路ユニット4₂内の第1の電圧検知回路18の出力信号A2VLLが入力されて、出力信号ES10を出力している。

【0142】第4 NAND回路15には、第1の電圧検知回路ユニット4₁内の第2の電圧検知回路17の出力信号A1VHH及び第2の電圧検知回路ユニット4₂内の第2

の電圧検知回路19の出力信号A2VHHが入力されて、出力信号ES11を出力している。

【0143】すなわち、デコード回路6は第1、第2の電圧検知回路ユニット4₁、4₂の出力信号A1VLL、A1VHH、A2VLL、A2VHHの組み合わせを取り、4つの出力信号ES00、ES01、ES10、ES11を出力している。テストモードエントリ設定回路7は、デコード回路6を介して、第1及び第2の電圧検知回路ユニット4₁、4₂の出力信号を受けて、テストイネーブル信号TEBXの4回のパルスのそれぞれの“H”レベルから“L”レベルへの変位のタイミングでアドレス信号A1とA2がそれぞれ、(A1、A2) = (HH,HH) → (LL,HH) → (HH,LL) → (LL,LL)の順番に入力されているか判定する回路であり、正しく順番通りに入力されるとテストエントリ信号TENTRYが“H”レベルに変化する。

【0144】ここで、ロウレベル検知回路16、18とハイレベル検知回路17、19の具体回路は第1の実施の形態で用いられる回路である図5に示された回路と同様である。

【0145】次に、テストモードエントリ設定回路7の主要部の具体的構成例が図12に示される。この回路は、デコード回路6の出力信号であるES11、ES10、ES01、ES00を入力信号とし、テストエントリ信号TENTRYを出力する回路である。デコード回路6の4つの出力信号を4段のラッチ回路で受けている。

【0146】すなわち、2つの NAND 回路 NAND811、NAND812、及びインバータ INV813 からなる 1 段目のラッチ回路と、2つの NAND 回路 NAND821、NAND822、及びインバータ INV823 からなる 2 段目のラッチ回路と、2つの NAND 回路 NAND831、NAND832、及びインバータ INV833 からなる 3 段目のラッチ回路と、2つの NAND 回路 NAND841、NAND842、及びインバータ INV843 からなる 4 段目のラッチ回路が直列に接続するシフトレジスタ回路を構成する。

【0147】ここで、デコード回路6の出力信号ES11、ES10、ES01、ES00は、それぞれ NAND 回路 NAND812、NAND822、NAND832、NAND842 に入力している。

【0148】さらに、テストモードエントリ設定回路7は、4段の各ラッチ回路の出力であるT1～T4を入力信号とする NAND 回路 NAND851 と、この NAND 回路 NAND851 の出力が入力されるインバータ INV852 と、チップイネーブル信号CEと NAND 回路 NAND851 の出力が入力している NAND 回路 NAND853 と、この NAND 回路 NAND853 の出力信号、チップイネーブル遅延パルス信号CEDPULSEが入力する NAND 回路 NAND854 と、この NAND 回路 NAND854 の出力が入力されているインバータ INV855 を有するロジック回路にて構成されている。

【0149】ここで、テストリセット信号TRESETは、インバータ INV855 から出力され、NAND 回路 NAND811、NAND821、NAND831、NAND841 へ入力されている。テストエントリが設定されて、テストエントリ信号TENTRYが“H”

レベルになった後、チップイネーブル信号CEBXの“L”レベルから“H”レベルへの変化のタイミングでテストモード選択が設定されるのと同じタイミングでテストモードエントリ設定回路7内のシフトレジスタのリセットが行われる。

【0150】さらに、通常動作であるアクティブ動作の状態では、チップイネーブル信号CEが“H”レベルの場合であり、T1～T4はすべて“L”レベルであり NAND 回路 NAND851 の出力が“H”レベルの時は強制的にテストリセット信号TRESETは“L”レベルとなり、シフトレジスタはリセット状態となる。

【0151】ここで、テストエントリモード設定動作について説明する。

【0152】テストモードエントリ状態となる前は、デコード回路6の出力信号ES11、ES10、ES01、ES00の各レベルは“H”レベルである。

【0153】あらかじめリセット信号TRESETが“H”レベルから“L”レベルへ変化し、さらに“H”レベルに変化するパルスを入力し、図12に示されたテストモードエントリ設定回路7内の第1段目から第4段目までのラッチ回路がそれぞれリセットされる。さらにインバータ INV813、INV823、INV833、INV843の出力T1、T2、T3、T4がすべて“L”レベルになる。このリセット動作は電源投入時又は外部コントロールで行うことが可能である。

【0154】さらにインバータの出力信号T1～T4が入力される NAND 回路 NAND851 の出力は“H”レベルとなり、インバータ INV852 の出力であるテストエントリ信号TENTRYは、“L”レベルとなる。チップイネーブル信号CEはスタンバイ時に“L”レベルであり、チップイネーブル遅延パルス信号CEDPULSEは“H”レベルであり、NAND 回路 NAND853 の出力は“H”レベルとなり、NAND 回路 NAND854 の出力であるテストリセット信号TRESETは“H”レベル状態となる。

【0155】テストエントリ状態になると、図10に示されるように始めてアドレス信号A1とA2が共に“HH”状態で、テストイネーブル信号TEBXが“H”レベルから“L”レベルさらに“H”レベルへ変化するパルス信号として入力されると、デコード回路6の出力ES11のみが“H”レベルから“L”レベルになり、NAND回路NAND812の出力は“L”レベルから“H”レベルになり、NAND回路NAND811の出力は“H”レベルから“L”レベルとなり、インバータINV813の出力信号T1が“L”レベルから“H”レベルとなり、T1は“H”レベルにラッチされる。

【0156】次に、アドレス信号A1が“LL”レベルで、A2が“HH”レベルの状態で、2回目のテストイネーブル信号TEBXのパルスで、デコード回路6の出力ES10のみが“H”レベルから“L”レベルになり、NAND回路NAND821の出力は“L”レベルから“H”レベルになり、NAND回路NAND822の出力は“H”レベルから“L”レベルになり、インバータINV823の出力信号T2が“L”レベルから

“H” レベルとなり、T1とT2は“H” レベルにラッピングされる。

【0157】さらに次の3回目のテストイネーブル信号TEBXパルスで、アドレス信号A1が“HH” レベル、A2が“LL” レベルに設定され、デコード回路6の出力ES01のみが“H” レベルから“L” レベルになり、 NAND回路NAND832の出力は“L” レベルから“H” レベルに変化し、 NAND回路NAND831の出力は“H” レベルから“L” レベルとなり、インバータINV833の出力信号T3が“L” レベルから“H” レベルとなり、T1からT3は“H” レベルにラッピングされる。

【0158】次の4回目のテストイネーブル信号TEBXパルスで、アドレス信号A1とA2が共に“LL” レベルに設定され、デコード回路6の出力ES00のみが“H” レベルから“L” レベルになり、 NAND回路NAND842の出力は“L” レベルから“H” レベルになり、 NAND回路NAND841の出力は“H” レベルから“L” レベルになり、インバータINV843の出力信号T4は“L” レベルから“H” レベルになり、T1からT4はすべて“H” レベルにラッピングされる。

【0159】T1からT4のすべての信号が“H” レベルになると、 NAND回路NAND851の出力は“H” レベルから“L” レベルに変化し、インバータINV852の出力であるテストエントリ信号TENTRYは“L” レベルから“H” レベルになる。

【0160】こうして、テストエントリ信号TENTRYが“H” レベルとなることにより、次にテストモード選択の動作となる。

【0161】ここで、テストモードエントリ設定回路7内のテストモード信号発生回路の回路構成は第1の実施の形態における図8に示されたテストモード信号発生回路と同様である。

【0162】ここでは、2つのアドレスを用いて、テストモード設定を行っているため、1つのアドレスを用いてテストモード設定を行う場合よりも誤ってテストモード状態に設定される可能性が小さくなる。

【0163】また、本実施の形態ではテストモード設定に用いるアドレス信号線は2本程度と少なく、数段のステップでエントリ可能であり、チップ面積のペナルティも非常に少ない。

【0164】さらに、本実施の形態では第1の実施の形態同様の効果を有する。

【0165】(第3の実施の形態) 本発明にかかる第3の実施の形態にかかる半導体記憶装置を、図13を用いて説明する。

【0166】図13に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、テストイネーブルバッファ2、アドレスバッファ3、第1の電圧検知回路ユニット4₁、第2の電圧検知回路ユニット4₂、デコード回路30、テストモードエントリ設定回路7、

周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。ここで、メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0167】図14に、本実施の形態の電圧検知回路ユニット4₁、4₂ 及びデコード回路30の構成が示される。

【0168】この図14に示される構成以外の本実施の形態の基本構成は図9に示される第2の実施の形態と同様である。

【0169】図14に示されるように第2の実施の形態同様にデコード回路30に2つの電圧検知回路ユニット4₁、4₂ の出力信号A1VLL、A1VHH、A2VLL、A2VHHが入力されて、出力信号ES00、ES01、ES10、ES11が出力される。

【0170】ここで、デコード回路30には入力信号と4つの NAND回路33、34、35、36との間に2つのフィルター回路31、32が設けられている。第1のフィルター回路31にはテストイネーブル信号TEE、第1の電圧検知回路ユニット4₁ 内のロウレベル検知回路からの出力信号A1VLL及びハイレベル検知回路からの出力信号A1VHHが入力されている。第2のフィルター回路32にはテストイネーブル信号TEE、第2の電圧検知回路ユニット4₂ 内のロウレベル検知回路からの出力信号A2VLL及びハイレベル検知回路からの出力信号A2VHHが入力されている。

【0171】第1の NAND回路33には第1のフィルター回路31から波形整形されたロウレベル検出信号A1VLLD及び第2のフィルター回路32から波形整形されたロウレベル検出信号A2VLLDが入力されている。第2の NAND回路34には第1のフィルター回路31から波形整形されたロウレベル検出信号A1VLLD及び第2のフィルター回路32から波形整形されたハイレベル検出信号A2VHHDが入力されている。

【0172】第3の NAND回路35には第1のフィルター回路31から波形整形されたハイレベル検出信号A1VHHD及び第2のフィルター回路32から波形整形されたロウレベル検出信号A2VLLDが入力されている。第4の NAND回路36には第1のフィルター回路31から波形整形されたハイレベル検出信号A1VHHD及び第2のフィルター回路32から波形整形されたハイレベル検出信号A2VHHDが入力されている。

【0173】第3の実施の形態の主要信号のタイミング波形が図17に示される。ここで、テストイネーブル信号TEEは、テストモードエントリ状態の場合にテストイネーブル信号TEBXのパルスの立ち下がりタイミングで矩形波のパルスとなるように生成されている。ここで、テストイネーブル信号TEEのパルス幅は例えば、20 ns程度に設定されている。

【0174】次に、フィルター回路31、32の具体的

な構成例が図15に示される。図15においては、図14の2つのフィルター回路のうち1つが示されるが、他方も同様な構成である。

【0175】フィルター回路31、32はロウレベル検知回路の波形整形出力であるAiVLLD (iは自然数)を出力する第1の電圧検知回路と、ハイレベル検知回路の波形整形出力であるAiVHHD (iは自然数)を出力する第2の電圧検知回路とを有している。

【0176】フィルター回路の第1の電圧検知回路は、ロウレベル検知回路の出力信号AiVLL (iは自然数)を入力信号とする第3インバータINV1121と、テストイネーブル信号TEEと第3インバータINV1121の出力をそれぞれ入力信号とする相互接続した2つの NAND回路NAND1122とNAND1123と、NAND1122の出力信号が入力され、ラッピングされた信号AiVLLDが出力される第4インバータINV1124とを有している。

【0177】フィルター回路の第2の電圧検知回路はハイレベル検知回路の出力信号AiVHH (iは自然数)を入力信号とする第1インバータINV1111と、テストイネーブル信号TEEと第1インバータINV1111の出力をそれぞれ入力信号とする相互接続した2つの NAND回路NAND1112、NAND1113と、NAND回路NAND1112の出力信号が入力され、ラッピングされた信号AiVHHDが出力される第2インバータINV1114とを有している。

【0178】さらに第2の電圧検知回路中の NAND回路NAND1112には第1の電圧検知回路中の NAND回路NAND1122の出力信号が入力され、第1の電圧検知回路中の NAND回路NAND1122には第2の電圧検知回路中の NAND回路NAND1112の出力信号が入力されている。

【0179】この実施の形態においても第1の実施の形態同様な構成、機能を有する図20に示されたテストイネーブルバッファ2が用いられる。

【0180】図16は、図14に示す構成を図13の半導体記憶装置の構成に組み入れて示した図である。しかしながら、図16では、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9は省略されている。

【0181】この実施の形態の動作は、まず、テストモードエントリ前の状態では、レベル検出回路の出力信号AiVHHとAiVLLは共に“L”レベル、テストイネーブルパルス信号TEEは“L”レベルであり、デコード回路の出力信号AiVHHDとAiVLLDは共に“L”レベルとなっている。

【0182】テストモードエントリの状態で、電圧検知回路ユニットへの入力アドレス信号Aiが4.7V以上の時はレベル検出回路の出力信号AiVHHは“H”レベル、入力アドレス信号Aiが1.0V以下の時はレベル検出回路の出力信号AiVLLは“H”レベルとなる。

【0183】ここで、AiVHHが“H”レベルになった場合を例に説明する。まず第1インバータINV1111の出力が“L”レベル、NAND回路NAND1113の出力が“H”レベル

となる。ここではAiVLLは“L”レベルであり、NAND回路NAND1122の出力は“H”レベルの状態が保たれている。

【0184】次にテストイネーブル信号TEBXのパルス入力時(立ち下がり時)に、テストイネーブル信号TEEがある一定時間“H”レベルである矩形のパルスが発生される。このテストイネーブル信号TEEが“H”レベルの期間、第1 NAND回路NAND1112の出力が“L”レベルに固定されて、第2インバータINV1114の出力信号AiVHHDが“H”レベルに固定される。

【0185】このテストイネーブルパルス信号TEEが“H”レベルの期間、NAND回路NAND1112の出力は“L”レベルに固定され、NAND回路NAND1122の出力は“H”レベルに固定されているため、電圧検知回路ユニットの出力AiVHH、AiVLLが変動してもラッピング回路の状態は変わらず、フィルター回路31、32の出力信号AiVHHDは“H”レベルに、AiVLLDは“L”レベルに固定される。

【0186】テストイネーブル信号TEEが“L”レベルに戻ると、NAND回路NAND1112、NAND1122の出力はともに“H”レベルとなり、第2インバータINV1114の出力信号であるAiVHHDと第4インバータINV1124の出力信号であるAiVLLDは共に“L”レベルとなる。

【0187】同様に、電圧検知回路ユニットの出力AiVLLが“H”レベルの状態でテストイネーブル信号TEEが印加されると、このパルス信号TEEが“H”レベルの期間、フィルター回路31、32の出力信号AiVLLDは“H”レベルに固定され、AiVHHDは“L”レベルに固定される。

【0188】また、アドレス信号のうち、A1、A2は半導体記憶装置の通常動作の読み出し/書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号としてそれぞれ電圧検知回路ユニット41、42に入力される。

【0189】本実施の形態は第2の実施の形態に組み合わせて構成されているが、第1の実施の形態に組み合わせて構成することも可能である。その場合には、フィルター回路はひとつで構成される。

【0190】このような構成のフィルター回路31、32をデコード回路30内に設けることによって入力信号の変動にさらに強いテストモードエントリ回路を実現することができる。

【0191】本実施の形態においても第1の実施の形態同様の効果を得ることができる。

【0192】(第4の実施の形態) 本発明にかかる第3の実施の形態にかかる半導体記憶装置を、図18を用いて説明する。

【0193】図18に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、テストイネーブルバッファ2、アドレスバッファ3、電圧検知回路ユニット40、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅

延回路11を有している。ここで、メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0194】すなわち、第1の実施の形態にかかる半導体記憶装置と比較して、電圧検知回路ユニット4に代えて図19に示す電圧検知回路ユニット40が用いられている。他の構成は第1の実施の形態と同様である。本実施の形態の電圧検知回路ユニット40の構成は図19に示される。この回路は、外部電源に対してチップ内部電源の電圧を降圧している半導体記憶装置において使用される回路である。この回路は、信号入力部は外部電源Vccに対応した回路構成で、信号出力部は内部電圧Vint系の信号に電圧変換している。

【0195】ここでは、第1の電圧検知回路46に入力信号Vinが入力され、ロウレベル電位検知出力信号VLLが出力され、第2の電圧検知回路47にも入力信号Vinが入力され、ハイレベル電位検知出力信号VHHが出力される。

【0196】第1の電圧検知回路46は、M1511～M1516の6つのトランジスタからなるノア回路とトランジスタM1517、M1518からなる次段のインバータ、トランジスタM1519とM1520からなるレベル変換回路に接続するインバータまでが外部電源Vcc系の回路で構成され、トランジスタM1521、M1522、M1523、M1524からなるレベルシフト回路と、レベルシフト回路の出力を受けるインバータINV1525が内部電源Vint系の回路で構成されている。

【0197】この第1の電圧検知回路46は、図5に示された第1の実施の形態における第1の電圧検知回路16とほぼ同様の構成となっていて、インバータINV619が除かれ、新たにインバータM1519、M1520、INV1525及びトランジスタM1521、M1522、M1523、M1524が新たに設けられている。

【0198】第2の電圧検知回路47は、M1531、M1532、M1533からなる入力信号Vinが入力する初段と、M1534とM1535からなる次段のインバータまでが外部電源Vcc系で構成され、アクティブ時“H”、スタンバイ時“L”になるCEバッファの出力信号であるCEと次段インバータの出力が入力するNOR1536がVint系のトランジスタで構成されている。この第2の電圧検知回路47は、図5に示された第1の実施の形態における第2の電圧検知回路17とほぼ同様の構成となっていて、ノア回路NOR626が除かれ、新たにノア回路NOR1536が新たに設けられている。

【0199】また、アドレス信号のうち、A1は半導体記憶装置の通常動作の読み出し／書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号として電圧検知回路ユニット40に入力される。

【0200】本実施の形態では、第1乃至第3の実施の形態のいずれかと同様の効果を得ることができる。

【0201】この実施の形態の動作および動作タイミング波形は、第1の実施の形態の動作および動作タイミング波形と同様であるので、説明は省略する。なお、他のすべての実施の形態において、この実施の形態におけるのと同様に、電圧検知回路ユニット4、4₁、4₂に代えて図19に示す電圧検知回路ユニット40を用いることができる。

【0202】(第5の実施の形態) 本発明にかかる第5の実施の形態にかかる半導体記憶装置を、図21を用いて説明する。

【0203】図21に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、出力イネーブルバッファ60、アドレスバッファ3、電圧検知回路ユニット4、高電圧検知回路70、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0204】すなわち、第1の実施の形態にかかる半導体記憶装置と比較して、テストイネーブルバッファ2に代えて出力イネーブルバッファ60が設けられており、また高電圧検知回路70が追加されている。

【0205】出力イネーブルバッファ60には、外部信号OEBXが入力され、テストイネーブル信号TEE、出力イネーブル信号OE、OEBを出力する。テストイネーブル信号TEEはテストモードエントリ設定回路7に入力され、出力イネーブル信号OE、OEBは周辺回路8に入力される。

【0206】高電圧検知回路70は本実施の形態ではアドレスA2が入力され、出力イネーブルバッファ60を制御するための制御信号TEHHを出力する。制御信号TEHHは出力イネーブルバッファ60に入力される。アドレスバッファ3には、電圧検知回路ユニット4に入力されるアドレスA1と、高電圧検知回路70に入力されるアドレスA2と、A3乃至Ai(iは自然数)とが入力される。これらの構成が異なる点を除き、この実施の形態にかかる半導体記憶装置は第1の実施の形態にかかる半導体記憶装置と基本構成は同様である。

【0207】図22に、本実施の形態の主要な信号のタイミング波形が示される。図22に示されているように、出力イネーブル信号OEBXの波形は第1の実施の形態におけるテストイネーブル信号TEBXの波形に対応している。すなわち、出力イネーブル信号OEBXのパルス信号は、1回目のパルスでは、アドレス信号A1の入力信号がHH、2回目のパルスではアドレス信号A1の入力信号がLL、3回目のパルスではアドレス信号A1の入力信号がH、4回目のパルスではアドレス信号A1の入力信号がLLである。

【0208】出力イネーブルバッファ60の具体的回路が図23に示されている。出力イネーブルバッファ60

は、読み出しを制御するための制御信号OEB、OEを生成する入力バッファ部60Aとテストモードエントリ時にテストイネーブル信号TEEを生成する入力バッファ部60Bとから構成されている。入力バッファ部60Aは、M1181～M1185のトランジスタによるノア回路と、第1インバータINV1186と、インバータINV1186の出力及び高電圧検知回路70からの出力信号である制御信号TEHHが入力するノア回路NOR1187と、第2インバータINV1188とから構成されている。

【0210】チップイネーブルバッファ1の出力信号CEBと、外部信号OEBXと、高電圧検知回路42からの出力制御信号TEHHとが入力バッファ部60Aに入力され、信号OE、OEBが出力される。信号CEBは、半導体記憶装置のアクティブ時には“L”レベルであり、テストモードエントリ時には、外部信号CEBXが“H”レベルであるので、“H”レベルになる。信号OEBX信号は外部信号、信号TEHHは高電圧検知回路70から出力され、テストモードエントリ時にのみ“H”レベルとなる信号である。

【0210】入力バッファ部60Bは、第1インバータINV1189と、M1190～M1194のトランジスタによるノア回路と、第2インバータINV1195と、第3インバータINV1196と、遅延回路DELAY1197と、 NAND回路NAND1198と、第4インバータINV1199とから構成されている。入力バッファ部60Bは、高電圧検知回路70からの出力信号TEHHが入力され、テストイネーブル信号TEEが出力される。

【0211】通常動作時では、信号TEHHは“L”レベルであるので、入力バッファ部60Bの出力信号TEEは“L”レベルに固定され、一方入力バッファ部60Aの出力信号OE、OEBは外部信号OEBXに応じた信号となる。

【0212】テストモードエントリ時では、信号TEHHは“H”レベルであるので、入力バッファ部60Bの出力信号TEEは外部信号OEBXに応じたパルス信号となり、一方入力バッファ部60Aの出力信号OEBは“H”レベル、OEは“L”レベルに固定される。

【0213】高電圧検知回路70の具体的回路が図24に示されている。

【0214】高電圧検知回路70は、トランジスタM1221～M1223による初段回路と、トランジスタM1224とM1225からなるインバータ、トランジスタM1224とM1225からなるインバータの出力が入力するインバータINV1126で構成されている。高電圧検知回路70には、入力信号Vin(図21でのアドレスA2に対応)が入力され、信号VHH(図21での信号TEHHに対応)が出力される。

【0215】高電圧検知回路70の出力制御信号TEHHは、入力アドレスA2がVcc+Vthp以上の時、“H”レベルとなり、Vcc+Vthp以下の時、“L”レベルとなる(VthpはPMOSのVth)。すなわち、出力制御信号TEHHはテストモードエントリ時に“H”レベルとなり、出力イネーブルバッファ60を

テストモードエントリモードに設定する。

【0216】また、アドレス信号のうち、A1、A2は半導体記憶装置の通常動作の読み出し/書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号としてそれぞれ電圧検知回路ユニット4、高電圧検知回路70に入力される。

【0217】この実施の形態においても、第1の実施の形態におけるように、意図しないでテストモードが設定されてしまうという誤動作を防ぐことができる。加えてこの実施の形態では、第1の実施の形態にかかる半導体記憶装置におけるテストイネーブルバッファ2に代えて出力イネーブルバッファ60が用いられているので、入力ピンとテストモードエントリピンとが共用でき、入力信号の状態に係わらず無駄な電力消費の生じない回路が実現される。

【0218】(第6の実施の形態) 本発明にかかる第6の実施の形態にかかる半導体記憶装置を、図25を用いて説明する。

【0219】図25に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、出力イネーブルバッファ60、アドレスバッファ3、第1の電圧検知回路ユニット4₁、第2の電圧検知回路ユニット4₂、デコード回路6、高電圧検知回路70、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0220】すなわち、第2の実施の形態にかかる半導体記憶装置と比較して、テストイネーブルバッファ2に代えて出力イネーブルバッファ60が設けられており、また高電圧検知回路70が追加されている。

【0221】出力イネーブルバッファ60には、外部信号OEBXが入力され、テストイネーブル信号TEE、出力イネーブル信号OE、OEBを出力する。テストイネーブル信号TEEはテストモードエントリ設定回路7に入力され、出力イネーブル信号OE、OEBは周辺回路8に入力される。

【0222】高電圧検知回路70は本実施の形態ではアドレスA3が入力され、出力イネーブルバッファ60を制御するための制御信号TEHHを出力する。制御信号TEHHは出力イネーブルバッファ60に入力される。アドレスバッファ3には、第1の電圧検知回路ユニット4₁に入力されるアドレスA1と、第2の電圧検知回路ユニット4₂に入力されるアドレスA2と、高電圧検知回路70に入力されるアドレスA3と、A4乃至Ai(iは自然数)とが入力される。これらの構成が異なる点を除き、この実施の形態にかかる半導体記憶装置は第2の実施の形態にかかる半導体記憶装置と基本構成は同様である。

【0223】図26に、本実施の形態の主要な信号のタ

イミング波形が示される。図26に示されているように、出力イネーブル信号OEBXの波形は第2の実施の形態におけるテストイネーブル信号TEBXの波形に対応している。すなわち、出力イネーブル信号OEBXのパルス信号は、1回目のパルスでは、アドレス信号A1の入力信号がHH、アドレス信号A2の入力信号がHH、2回目のパルスではアドレス信号A1の入力信号がLL、アドレス信号A2の入力信号がHH、3回目のパルスではアドレス信号A1の入力信号がHH、アドレス信号A2の入力信号がLL、4回目のパルスではアドレス信号A1の入力信号がLL、アドレス信号A2の入力信号がLLである。

【0224】出力イネーブルバッファ60の具体的回路は第5の実施の形態において述べたのと同様であり、図23に示されている。出力イネーブルバッファ60は、読み出しを制御するための制御信号OEB, OEを生成する入力バッファ部60Aとテストモードエントリ時にテストイネーブル信号TEEを生成する入力バッファ部60Bとから構成されている。

【0225】チップイネーブルバッファ1の出力信号CEBと、外部信号OEBXと、高電圧検知回路70からの出力制御信号TEHHとが入力バッファ部60Aに入力され、信号OE、OEBが outputされる。信号CEBは、半導体記憶装置のアクティブ時には“L”レベルであり、テストモードエントリ時には、外部信号CEBXが“H”レベルであるので、“H”レベルになる。信号OEBX信号は外部信号、信号TEHHは高電圧検知回路70から出力され、テストモードエントリ時にのみ“H”レベルとなる信号である。

【0226】入力バッファ部60Bは、高電圧検知回路70からの出力信号TEHHが入力され、テストイネーブル信号TEEが outputされる。

【0227】通常動作時では、信号TEHHは“L”レベルであるので、入力バッファ部60Bの出力信号TEEは“L”レベルに固定され、一方入力バッファ部60Aの出力信号OE、OEBは外部信号OEBXに応じた信号となる。

【0228】テストモードエントリ時では、信号TEHHは“H”レベルであるので、入力バッファ部60Bの出力信号TEEは外部信号OEBXに応じたパルス信号となり、一方入力バッファ部60Aの出力信号OEBは“H”レベル、OEは“L”レベルに固定される。

【0229】高電圧検知回路70の具体的回路は第5の実施の形態において述べたのと同様であり、図24に示されている。

【0230】高電圧検知回路70には、入力信号Vin(図25でのアドレスA3に対応)が入力され、信号VH(図25での信号TEHHに対応)を出力する。

【0231】高電圧検知回路70の出力制御信号TEHHは、入力アドレスA2がVcc+Vthp以上の時、“H”レベルとなり、Vcc+Vthp以下の時、“L”レベルとなる(VthpはPMOSのVth)。すなわち、出力制御信号TEHHはテストモードエントリ時

に“H”レベルとなり、出力イネーブルバッファ60をテストモードエントリモードに設定する。

【0232】また、アドレス信号のうち、A1、A2、A3は半導体記憶装置の通常動作の読み出し/書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号としてそれぞれ電圧検知回路ユニット41、42、高電圧検知回路70に入力される。

【0233】この実施の形態においても、第2の実施の形態におけるように、意図しないでテストモードが設定されてしまうという誤動作を防ぐことができる。加えてこの実施の形態では、第2の実施の形態にかかる半導体記憶装置におけるテストイネーブルバッファ2に代えて出力イネーブルバッファ60が用いられているので、入力ピンとテストモードエントリピンとが共用でき、入力信号の状態に係わらず無駄な電力消費の生じない回路が実現される。

【0234】(第7の実施の形態) 本発明にかかる第7の実施の形態にかかる半導体記憶装置を、図27を用いて説明する。

【0235】図27に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、出力イネーブルバッファ60、アドレスバッファ3、第1の電圧検知回路ユニット41、第2の電圧検知回路ユニット42、高電圧検知回路70、デコーダ回路30、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。この実施の形態にかかる半導体記憶装置は、図面の簡略化上、省略しているが、さらに第3の実施の形態にかかる半導体記憶装置(図13参照)における、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9を有している。メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0236】すなわち、第3の実施の形態にかかる半導体記憶装置と比較して、テストイネーブルバッファ2に代えて出力イネーブルバッファ60が設けられており、また高電圧検知回路70が追加されている。

【0237】出力イネーブルバッファ60には、外部信号OEBXが入力され、テストイネーブル信号TEE、出力イネーブル信号OE、OEBを出力する。テストイネーブル信号TEEはテストモードエントリ設定回路7(図13参照)に入力され、出力イネーブル信号OE、OEBは周辺回路8(図13参照)に入力される。

【0238】高電圧検知回路70は本実施の形態ではアドレスA3が入力され、出力イネーブルバッファ60を制御するための制御信号TEHHを出力する。制御信号TEHHは出力イネーブルバッファ60に入力される。アドレスバッファ3には、第1の電圧検知回路ユニット41に入力されるアドレスA1と、第2の電圧検知回路ユニット

4_2 に入力されるアドレス A2 と、高電圧検知回路 70 に入力されるアドレス A3 と、A4 乃至 A_i (i は自然数) とが入力される。これらの構成が異なる点を除き、この実施の形態にかかる半導体記憶装置は第3の実施の形態にかかる半導体記憶装置と基本構成は同様である。

【0239】図28に、この第7の実施の形態の主要信号のタイミング波形が示されている。テストイネーブルパルス信号TEEは、テストモードエントリ状態の場合に出力イネーブル信号OEBXのパルスの立ち下がりタイミングで矩形波のパルスとなるように生成されている。テストイネーブル信号TEEのパルス幅は例えば、20ns程度に設定されている。

【0240】出力イネーブル信号OEBXの波形は第3の実施の形態におけるテストイネーブル信号TEBXの波形に対応している。すなわち、出力イネーブル信号OEBXのパルス信号は、1回目のパルスでは、アドレス信号A1の入力信号がHH、アドレス信号A2の入力信号がHH、2回目のパルスではアドレス信号A1の入力信号がLL、アドレス信号A2の入力信号がHH、3回目のパルスではアドレス信号A1の入力信号がHH、アドレス信号A2の入力信号がLL、4回目のパルスではアドレス信号A1の入力信号がLL、アドレス信号A2の入力信号がLLである。

【0241】出力イネーブルバッファ60の具体的回路は第5の実施の形態において述べたのと同じであり、図23に示されている。出力イネーブルバッファ60は、読み出しを制御するための制御信号OEB, OEを生成する入力バッファ部60Aとテストモードエントリ時に制御テストイネーブル信号TEEを生成する入力バッファ部60Bとから構成されている。

【0242】チップイネーブルバッファ1の出力信号CEBと、外部信号OEBXと、高電圧検知回路70からの出力制御信号TEHHとが入力バッファ部60Aに入力され、信号OE, OEBが outputされる。信号CEBは、半導体記憶装置のアクティブ時には“L”レベルであり、テストモードエントリ時には、外部信号CEBXが“H”レベルであるので、“H”レベルになる。信号OEBX信号は外部信号、信号TEHHは高電圧検知回路70から出力され、テストモードエントリ時にのみ“H”レベルとなる信号である。

【0243】入力バッファ部60Bは、高電圧検知回路70からの出力信号TEHHが入力され、テストイネーブル信号TEEが outputされる。

【0244】通常動作時では、信号TEHHは“L”レベルであるので、入力バッファ部60Bの出力信号TEEは“L”レベルに固定され、一方入力バッファ部60Aの出力信号OE, OEBは外部信号OEBXに応じた信号となる。

【0245】テストモードエントリ時では、信号TEHHは“H”レベルであるので、入力バッファ部60Bの出力信号TEEは外部信号OEBXに応じたパルス信号となり、一方入力バッファ部60Aの出力信号OEBは“H”レベル、OEは“L”レベルに固定される。

【0246】高電圧検知回路70の具体的回路は第5の実施の形態において述べたのと同様であり、図24に示されている。

【0247】出力イネーブルバッファ60には、入力信号Vin(図27でのアドレスA3に対応)が入力され、信号VHH(図27での信号TEHHに対応)を出力する。

【0248】高電圧検知回路70の出力制御信号TEHHは、入力アドレスA2がVcc+Vthp以上の時、“H”レベルとなり、Vcc+Vthp以下の時、“L”レベルとなる(VthpはPMOSのVth)。すなわち、出力制御信号TEHHはテストモードエントリ時に“H”レベルとなり、出力イネーブルバッファ60をテストモードエントリモードに設定する。

【0249】また、アドレス信号のうち、A1, A2, A3は半導体記憶装置の通常動作の読み出し/書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号としてそれぞれ電圧検知回路ユニット41, 42、高電圧検知回路70に入力される。

【0250】この実施の形態においても、第3の実施の形態におけるように、意図しないでテストモードが設定されてしまうという誤動作を防ぐことができる。加えてこの実施の形態では、第3の実施の形態にかかる半導体記憶装置におけるテストイネーブルバッファ2に代えて出力イネーブルバッファ60が用いられているので、入力ビンとテストモードエントリビンとが共用でき、入力信号の状態に係わらず無駄な電力消費の生じない回路が実現される。

【0251】(第8の実施の形態) 本発明にかかる第8の実施の形態にかかる半導体記憶装置を、図29を用いて説明する。

【0252】図29に示される本実施の形態の構成図では、半導体チップイネーブルバッファ1、出力イネーブルバッファ60、アドレスバッファ3、電圧検知回路ユニット40、高電圧検知回路70、テストモードエントリ設定回路7、周辺回路8、メモリセル駆動回路及びメモリセル9、並びに遅延回路11を有している。この実施の形態にかかる半導体記憶装置は、メモリセルは半導体メモリで構成されればよく、例えば強誘電体メモリ、フラッシュメモリなどが適用できる。

【0253】すなわち、第5の実施の形態にかかる半導体記憶装置と比較して、電圧検知回路ユニット40に代えて図19に示す電圧検知回路ユニット40が用いられている。この実施の形態の動作および動作タイミング波形は、第5の実施の形態の動作および動作タイミング波形と同様であるので、説明は省略する。なお、この実施の形態におけるのと同様に、上記のすべての実施の形態において、電圧検知回路ユニット4, 41, 42に代えて図19に示す電圧検知回路ユニット40を用いることが

できる。

【0254】この実施の形態においても、第4の実施の形態におけるように、意図しないでテストモードが設定されてしまうという誤動作を防ぐことができる。加えてこの実施の形態では、第4の実施の形態にかかる半導体記憶装置におけるテストイネーブルバッファ2に代えて出力イネーブルバッファ60が用いられているので、入力ピンとテストモードエントリピンとが共用でき、入力信号の状態に係わらず無駄な電力消費の生じない回路が実現される。

【0255】また、アドレス信号のうち、A1、A2は半導体記憶装置の通常動作の読み出し／書き込み動作時は、メモリセル選択のためのアドレスとして機能するが、テストモードエントリ時はエントリ信号としてそれぞれ電圧検知回路ユニット40、高電圧検知回路70に入力される。

【0256】なお、各実施の形態において説明されたテストモードエントリ設定回路の構成は、1例であり、例えば第1の実施の形態で示されたテストモードエントリ設定回路と第2の実施の形態で示されたテストモードエントリ設定回路は相互に入れ替えて、使用することができる。また、各実施の形態で示されたテストモードエントリ設定回路と同様の機能を有する回路構成であれば、適宜設計された回路をテストモードエントリ設定回路として、使用することが可能である。

【0257】なお、上記各実施の形態では、半導体記憶装置の場合を説明したが、半導体記憶装置に本発明は限られるものではなく、またテストモードの設定のみ限られるものでもない。テストモードなどの特定モードへの設定が必要なMPU、セミカスタムLSIなどの論理LSIなどにも本発明は適用可能である。

【0258】また、上記各実施の形態では、電圧検知回路ユニットの機能として、“H”レベルと“L”レベルの2つの基準電位レベルと入力信号のレベルを比較して判断していたが、必ずしも2つの基準電位レベルである必要はなく、電圧検知回路ユニットを基準電位レベルの数に相当する個数分設け、2以上の基準電位レベルを設けて、多段階で入力信号のレベルを判断して、モード設定を複雑化することで、誤設定の発生をより効果的に防止することができる。

【0259】

【発明の効果】本発明によれば、通常動作モードとテストなどの特別なモードとを有する半導体装置において、通常動作時に誤って特定なモードに入ることが無く、通常動作時には安定した動作を保証し、特定モード設定時には確実に特定モードに設定される半導体装置及び半導体装置のモード設定方法を提供できる。

【図面の簡単な説明】

【図1】第1の実施の形態の全体構成のブロックダイアグラム図。

【図2】第1の実施の形態における主要信号のタイミング波形図。

【図3】第1の実施の形態における電圧検知回路ユニットの概念図。

【図4】第1の実施の形態における電圧検知回路ユニットの入出力電圧の関係を示す図。

【図5】第1の実施の形態における電圧検知回路ユニットの回路図。

【図6】第1の実施の形態における電圧検知回路ユニットの入出力電圧関係を示す図。

【図7】第1の実施の形態におけるテストモードエントリ設定回路の回路図。

【図8】第1の実施の形態におけるテストモード信号発生回路の回路図。

【図9】第2の実施の形態の全体構成のブロックダイアグラム図。

【図10】第2の実施の形態における主要信号のタイミング波形図。

【図11】第2の実施の形態における電圧検知回路ユニット、デコード回路、テストモードエントリ設定回路を示す構成図。

【図12】第2の実施の形態におけるテストモードエントリ設定回路の回路図。

【図13】第3の実施の形態の全体構成のブロックダイアグラム図。

【図14】第3の実施の形態における電圧検知回路ユニット及びデコード回路の構成図。

【図15】第3の実施の形態におけるフィルター回路の回路図。

【図16】図14に示す電圧検知回路ユニット及びデコード回路を、チップイネーブルバッファ、テストイネーブルバッファ、アドレスバッファ、遅延回路11と共に示す構成図。

【図17】第3の実施の形態における主要信号のタイミング波形図。

【図18】第4の実施の形態の全体構成のブロックダイアグラム図。

【図19】第4の実施の形態における電圧検知回路ユニットの回路図。

【図20】第1乃至第4の実施の形態におけるテストイネーブルバッファの回路図。

【図21】第5の実施の形態の全体構成のブロックダイアグラム図。

【図22】第5の実施の形態における主要信号のタイミング波形図。

【図23】第5の実施の形態における出力イネーブルバッファの回路図。

【図24】第5の実施の形態における高電圧検知回路の回路図。

【図25】第6の実施の形態の全体構成のブロックダイ

アグラム図。

【図26】第6の実施の形態における主要信号のタイミング波形図。

【図27】第7の実施の形態の全体構成のブロックダイアグラム図。

【図28】第7の実施の形態における主要信号のタイミング波形図。

【図29】第8の実施の形態の全体構成のブロックダイアグラム図。

【図30】従来の半導体装置の構成図。

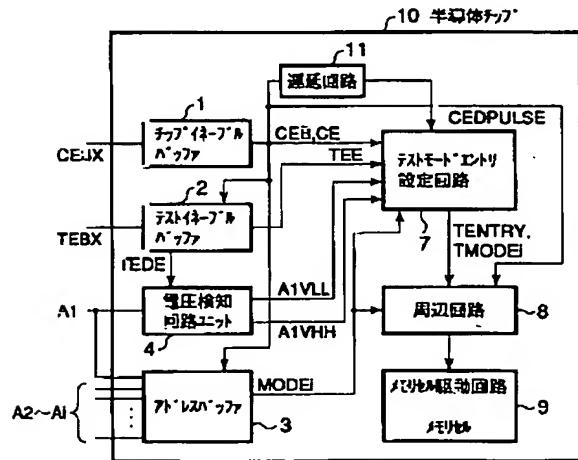
【符号の説明】

- 1 チップイネーブルバッファ
- 2 テストイネーブルバッファ
- 3 アドレスバッファ
- 4、40 電圧検知回路ユニット
- 4₁ 第1の電圧検知回路ユニット

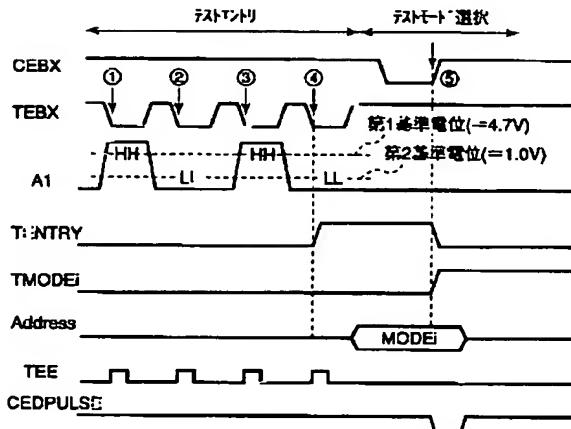
4.2 第2の電圧検知回路ユニット

- 6、30 デコード回路
- 7 テストモードエントリ設定回路
- 8 周辺回路
- 9 メモリセル駆動回路及びメモリセル
- 10 半導体チップ
- 11、39 遅延回路
- 12、13、14、15 第1乃至第4の NAND回路
- 16、18、46 第1の電圧検知回路
- 17、19、47 第2の電圧検知回路
- 31 第1のフィルター回路
- 32 第2のフィルター回路
- 33、34、35、36 第1乃至第4の NAND回路
- 60 出力イネーブルバッファ
- 70 高電圧検知回路

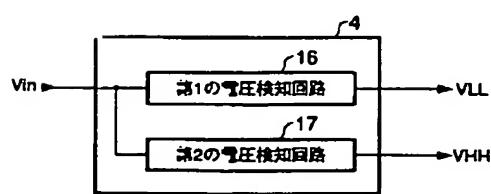
【図1】



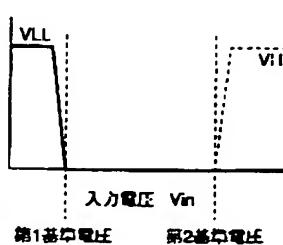
【图2】



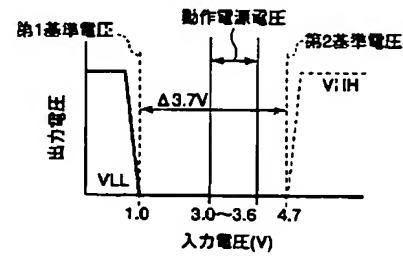
〔図3〕



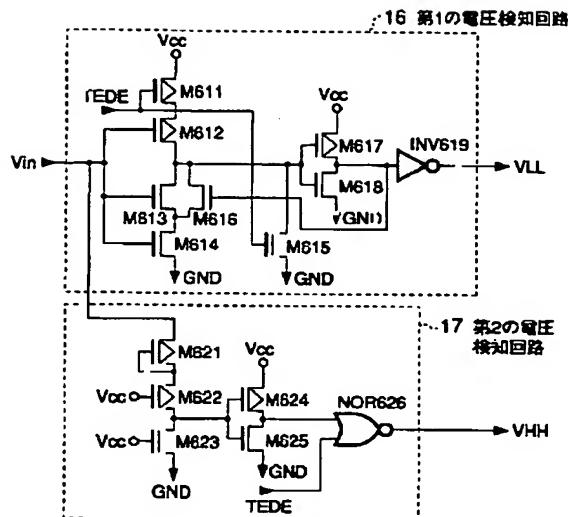
【图4】



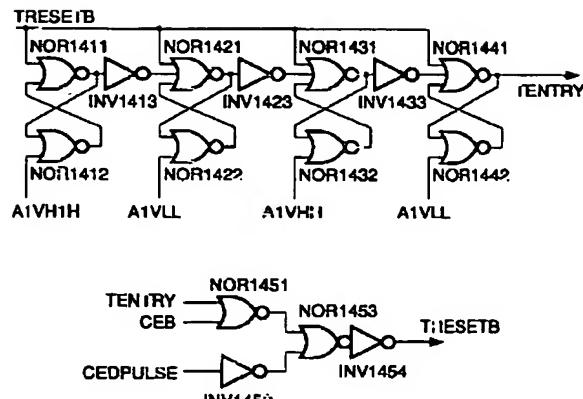
[图6]



【図5】

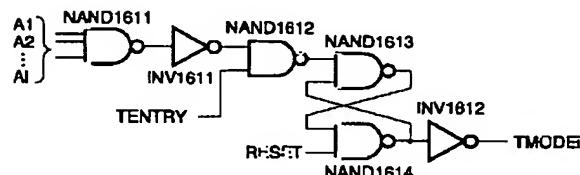


【图7】

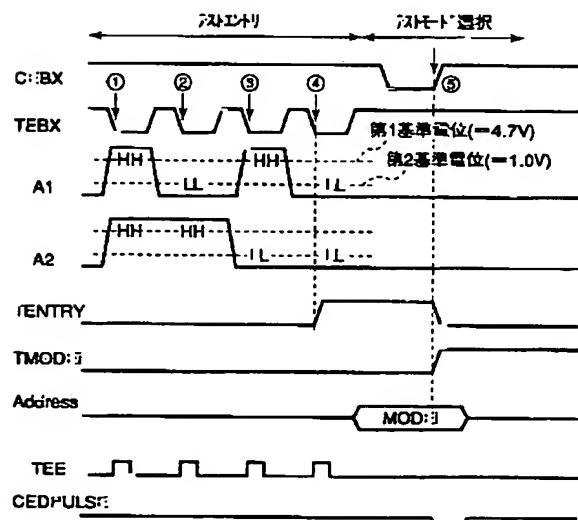


〔×9〕

〔図8〕



【图10】

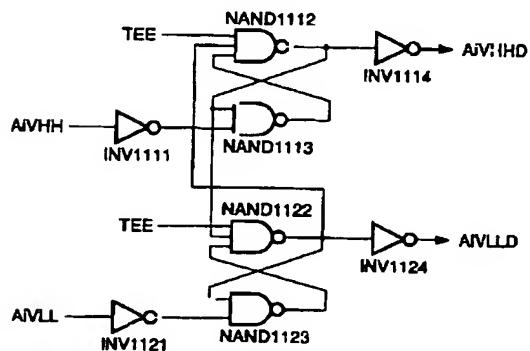


This block diagram illustrates the internal structure of a CMOS integrated circuit (IC). The diagram is organized into several functional blocks:

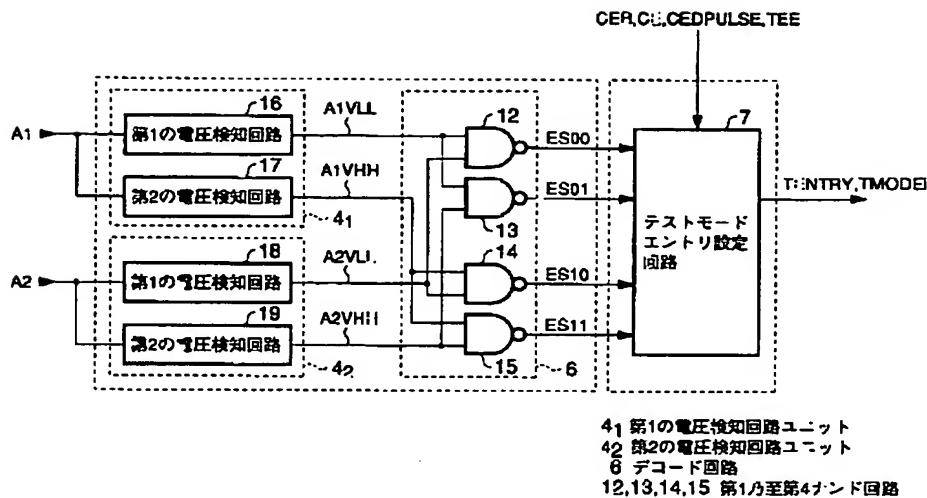
- Input/Output Blocks:** CFBX (top left), TEBX (middle left), and MODEI (bottom center).
- Control and State Blocks:** MODE1, TTRY, TMODE1, and TTRY, TMODE1 (repeated).
- Timing and Pulse Generation:** CEDPULSE (top right), TENTRY, TMODE1 (middle right), and various timing and control lines (e.g., TEDE, TTRY, TMODE1).
- Memory and Addressing:** A1, A2, A3~AI, and ADDRESS-BLOCK (bottom left).
- Logic and State Registers:** A1VLL, A1VHH, A2VLL, A2VHH, and various state registers (e.g., ES00, ES01, ES10, ES11).
- Interfacing and Bus:** TEI:, CEB, CE, and various bus lines connecting the blocks.
- Special Function Blocks:** TAP'ER-UP'ER BACK (top left), TAP'ER-UP'ER BACK (middle left), and various state registers (e.g., ES00, ES01, ES10, ES11).
- Timing Circuits:** TAP'ER-UP'ER BACK (top right), TAP'ER-UP'ER BACK (middle right), and various timing and control lines (e.g., TTRY, TMODE1).
- Output and Control:** MODE1 (bottom center), TTRY, TMODE1 (repeated), and various output lines (e.g., 11, 1, 2, 41, 42, 6, 7, 8, 9).

The diagram uses various connection lines and labels to show the complex interconnections between these blocks, including labels like 1, 2, 41, 42, 6, 7, 8, 9, 11, and 12.

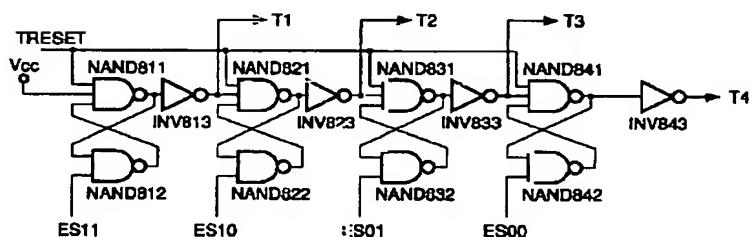
【図15】



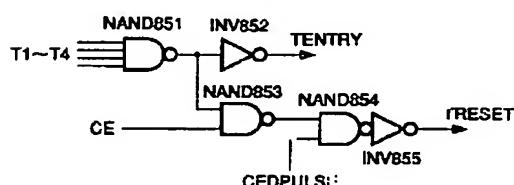
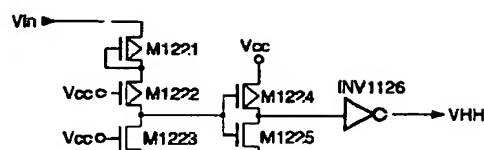
【図11】



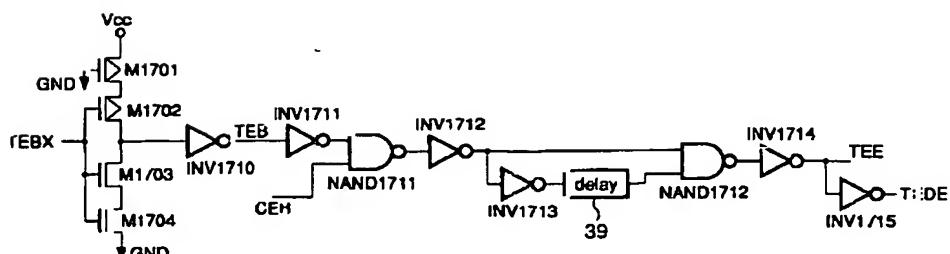
【図12】



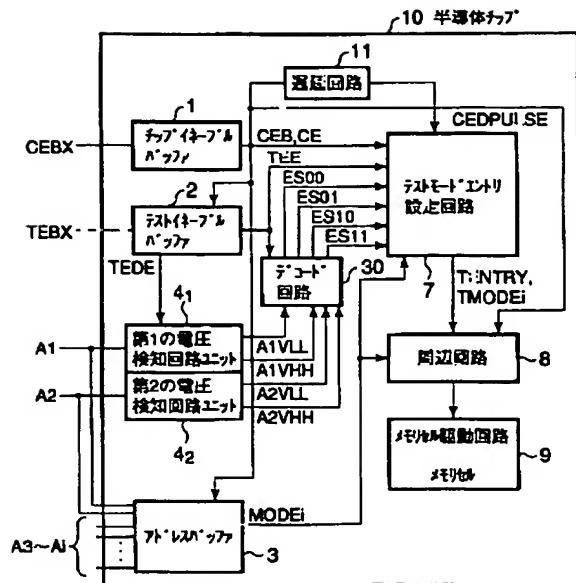
【図24】



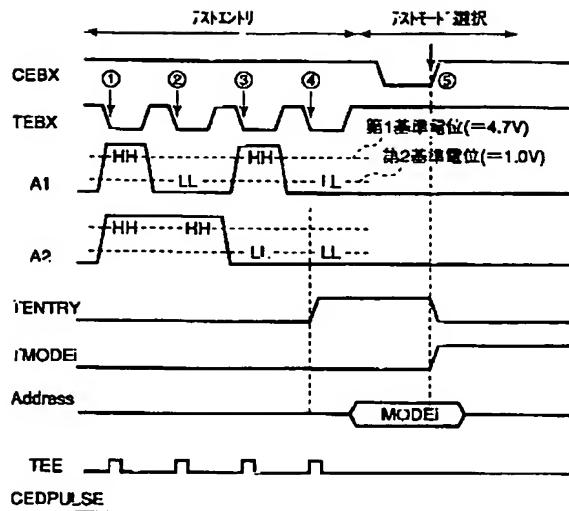
【図20】



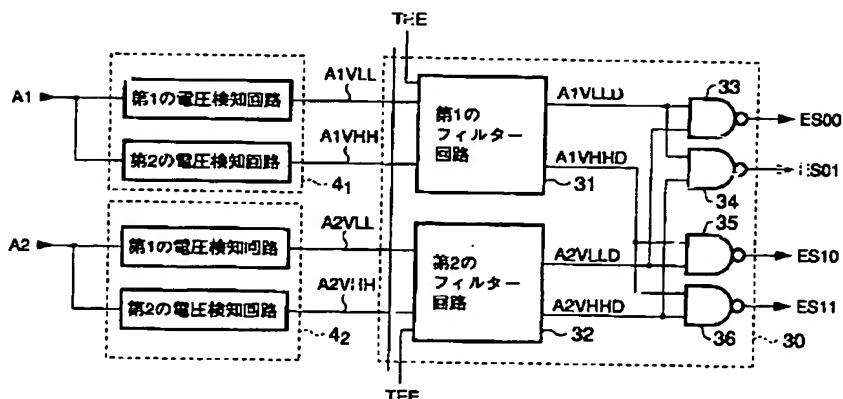
【図13】



【図17】

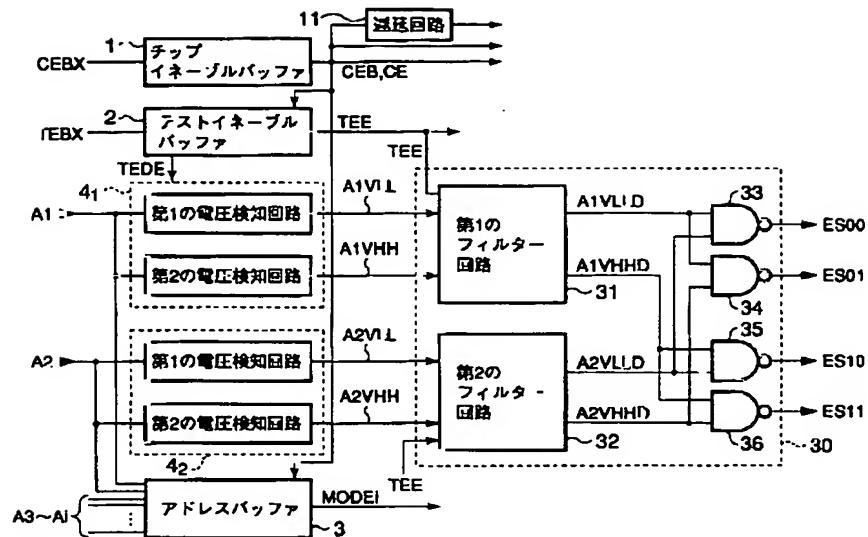


【図14】

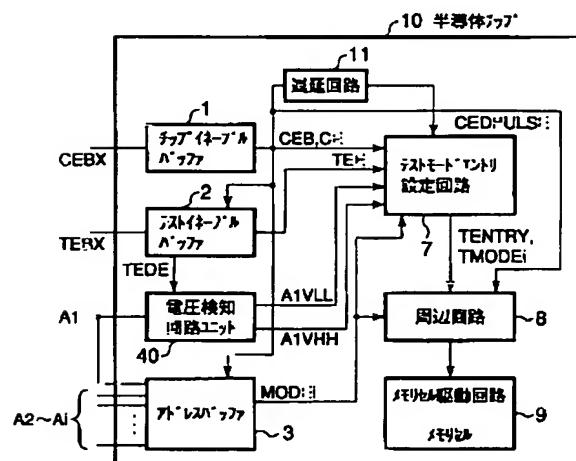


41 第1の電圧検知回路ユニット
 42 第2の電圧検知回路ユニット
 30 デコード回路
 33,34,35,36 第1乃至第4の NAND 回路

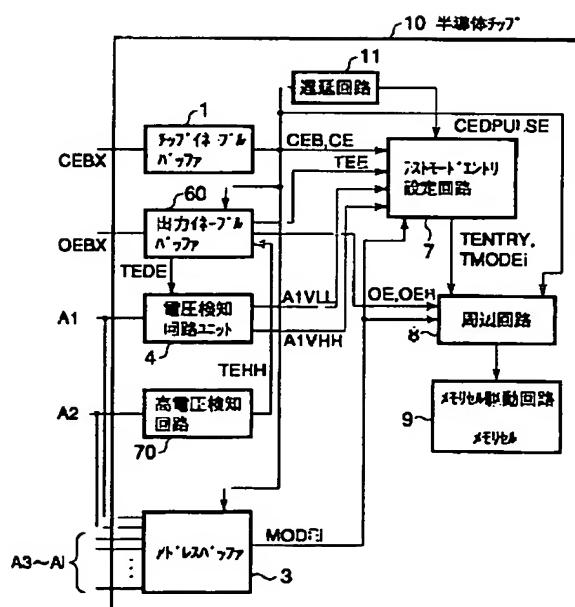
【図16】



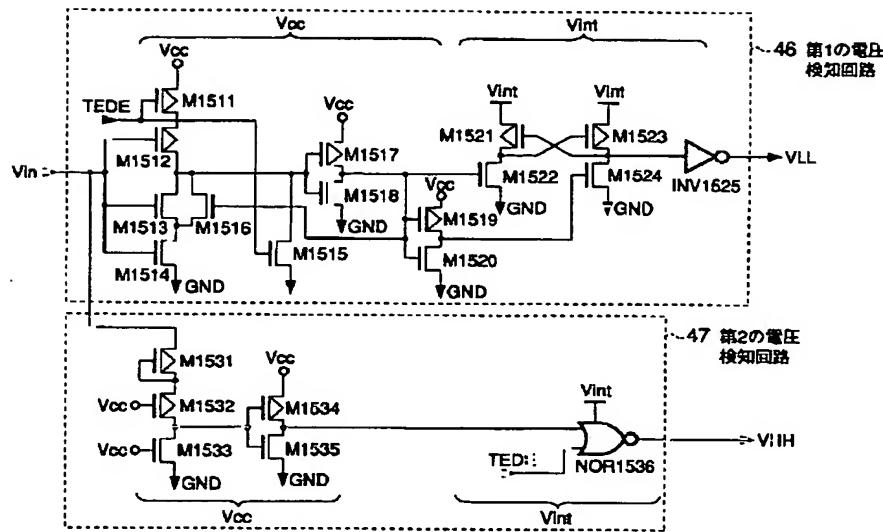
【図18】



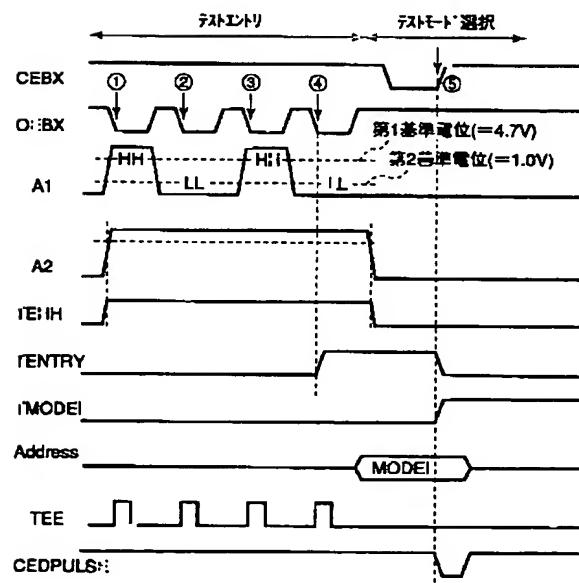
【図21】



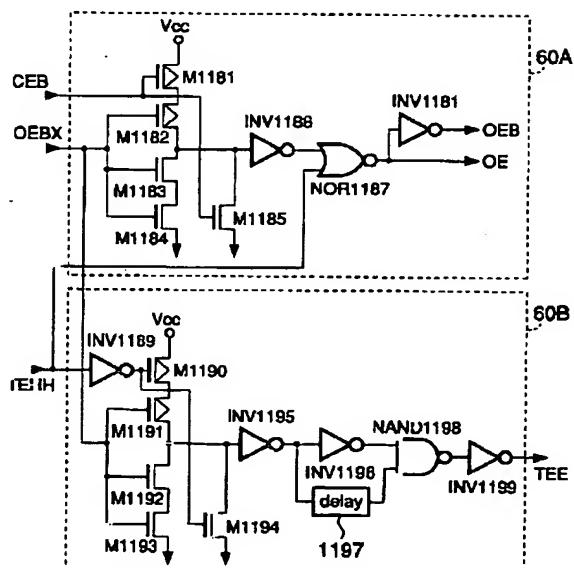
【図19】



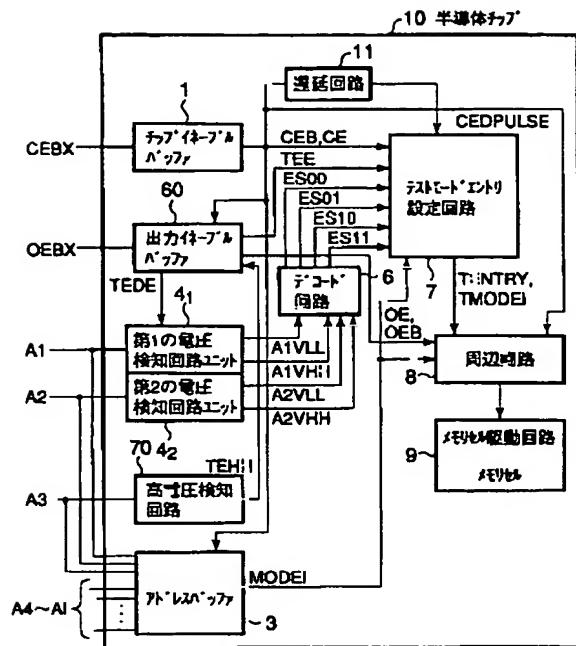
【図22】



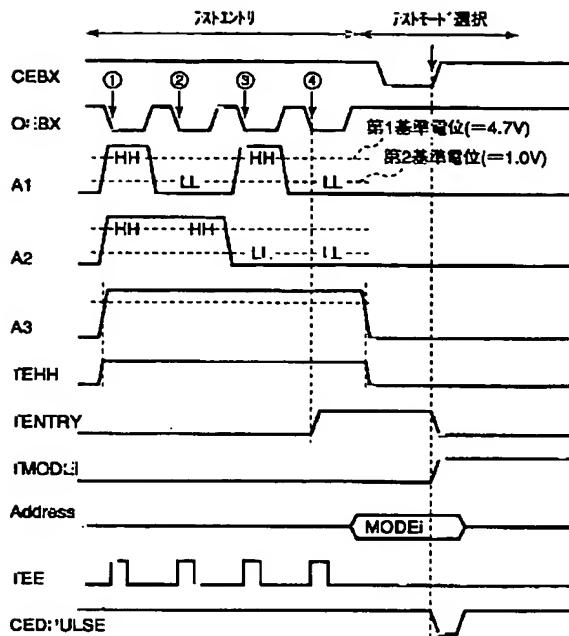
【図23】



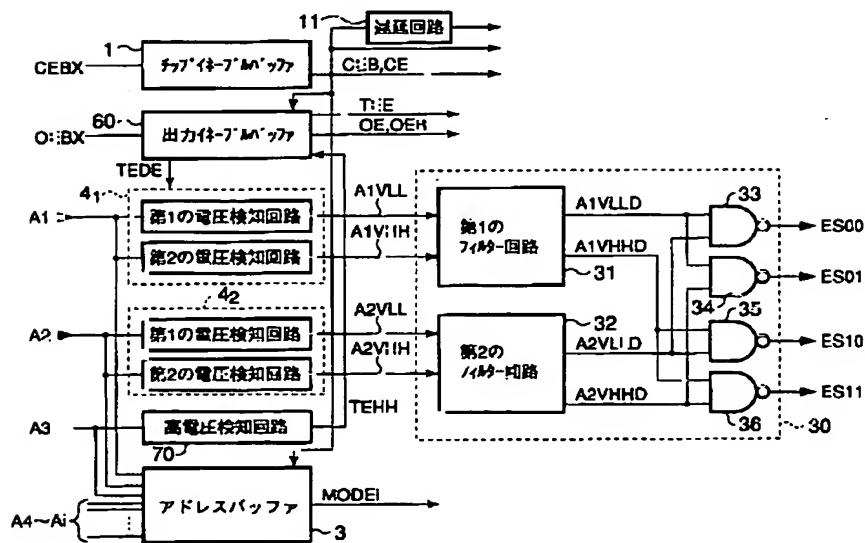
【図25】



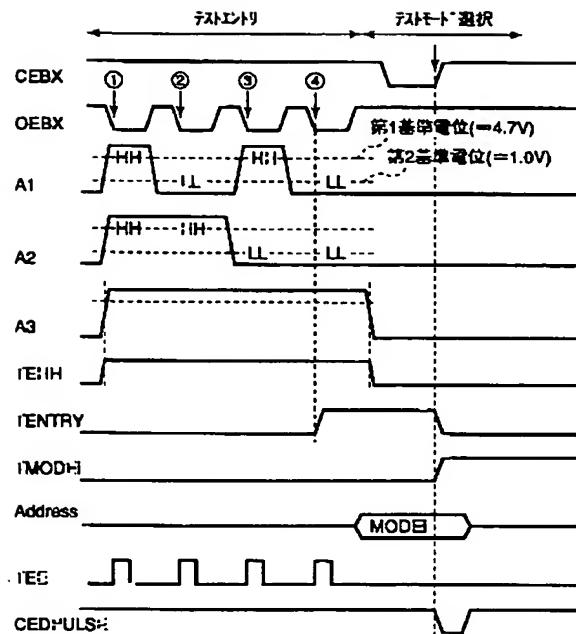
【図26】



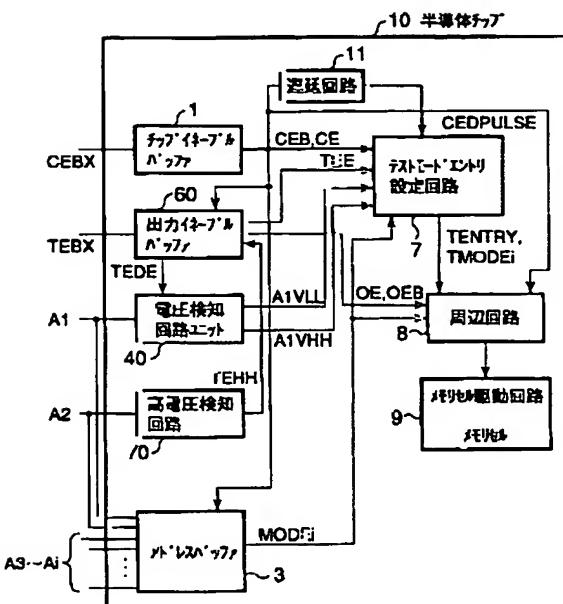
【図27】



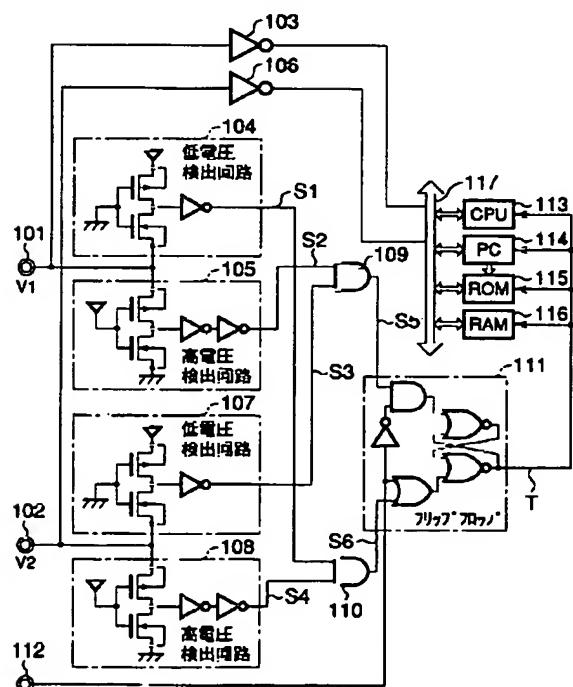
【图28】



【図29】



〔图30〕



フロントページの続き

(72)発明者 大脇 幸人 F ターム(参考) 2G132 AA08 AB00 AC03 AD05 AK15
神奈川県川崎市幸区小向東芝町1番地 株 AL31
式会社東芝マイクロエレクトロニクスセン 5L106 DD11
ター内